

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

2/5/1 (Item 1 from file: 351)
 DIALOG(R) File 351:Derwent WPI
 (c) 2004 Thomson Derwent. All rts. reserv.

012151989 **Image available**
 WPI Acc No: 1998-568901/199848
 XRPX Acc No: N98-442567

Liquid crystal display device - has counter-electrode and pixel electrode
 linearly formed so as not to flatly overlap each other, thus enabling
 generation of electric field parallel to substrate surface

Patent Assignee: HITACHI LTD (HITA); ISHI M (ISHI-I); OHTA M (OHTA-I);
 ONO K (ONOK-I); SUZUKI N (SUZU-I)

Inventor: ISHII M; OHTA M; ONO K; SUZUKI N; ISHI M

Number of Countries: 022 Number of Patents: 018

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 9847044	A1	19981022	WO 98JP1500	A	19980401	199848 B
EP 1008896	A1	20000614	EP 98911154	A	19980401	200033
			WO 98JP1500	A	19980401	
JP 10543713	X	20001003	JP 98543713	A	19980401	200052
			WO 98JP1500	A	19980401	
US 6208399	B1	20010327	WO 98JP1500	A	19980401	200119
			US 99402645	A	19991008	
US 20010009447	A1	20010726	WO 98JP1500	A	19980401	200146
			US 99402645	A	19991008	
			US 2001793921	A	20010228	
US 20010010573	A1	20010802	US 99402645	A	19991008	200147
			US 2001793903	A	20010228	
KR 2001006187	A	20010126	KR 99709266	A	19991008	200152
US 6388725	B2	20020514	WO 98JP1500	A	19980401	200239
			US 99402645	A	19991008	
			US 2001793921	A	20010228	
US 6392730	B2	20020521	US 99402645	A	19991008	200239
			US 2001793903	A	20010228	
US 20020105611	A1	20020808	US 99402645	A	19991008	200254
			US 2001793921	A	20010228	
			US 2002115916	A	20020405	
US 20020105612	A1	20020808	US 99402645	A	19991008	200254
			US 2001793921	A	20010228	
			US 2002115939	A	20020405	
US 6512567	B2	20030128	US 99402645	A	19991008	200311
			US 2001793921	A	20010228	
			US 2002115916	A	20020405	
US 6522369	B2	20030218	US 99402645	A	19991008	200317
			US 2001793921	A	20010228	
			US 2002115939	A	20020405	
US 20030156232	A1	20030821	US 2002115939	A	20020405	200356
			US 2003366409	A	20030214	
US 20030147021	A1	20030807	US 2002115939	A	20020405	200358
			US 2003366410	A	20030214	
TW 531686	A	20030511	TW 98104906	A	19980401	200372
US 6693687	B2	20040217	WO 98JP1500	A	19980401	200413
			US 99402645	A	19991008	
			US 2001793921	A	20010228	
			US 2002115939	A	20020405	
			US 2003366409	A	20030214	
US 6738108	B2	20040518	US 98402645	A	19980401	200433
			WO 98JP1500	A	19980401	
			US 2001793921	A	20010228	
			US 2002115939	A	20020405	
			US 2003366410	A	20030214	

Priority Applications (No Type Date): JP 9793440 A 19970411

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

WO 9847044 A1 J 62 G02F-001/136
 Designated States (National): JP KR US
 Designated States (Regional): AT BE CH CY DE DK ES FI FR GB GR IE IT LU
 MC NL PT SE

EP 1008896 A1 E G02F-001/136 Based on patent WO 9847044
 Designated States (Regional): DE FR GB NL

JP 10543713 X G02F-001/136 Based on patent WO 9847044

US 6208399 B1 G02F-001/1343 Based on patent WO 9847044

US 20010009447 A1 G02F-001/136 Cont of application WO 98JP1500
 Cont of application US 99402645
 Cont of patent US 6208399

US 20010010573 A1 G02F-001/136 Cont of application US 99402645
 Cont of patent US 6208399

KR 2001006187 A G02F-001/136

US 6388725 B2 G02F-001/1343 Cont of application WO 98JP1500
 Cont of application US 99402645
 Cont of patent US 6208399

US 6392730 B2 G02F-001/1343 Cont of application US 99402645
 Cont of patent US 6208399

US 20020105611 A1 G02F-001/1343 Cont of application US 99402645
 Cont of application US 2001793921
 Cont of patent US 6208399
 Cont of patent US 6388725

US 20020105612 A1 G02F-001/1343 Cont of application US 99402645
 Cont of application US 2001793921
 Cont of patent US 6208399
 Cont of patent US 6388725

US 6512567 B2 G02F-001/1343 Cont of application US 99402645
 Cont of application US 2001793921
 Cont of patent US 6208399
 Cont of patent US 6388725

US 6522369 B2 G02F-001/1343 Cont of application US 99402645
 Cont of application US 2001793921
 Cont of patent US 6208399
 Cont of patent US 6388725

US 20030156232 A1 G02F-001/136 Cont of application US 2002115939
 Cont of patent US 6522369

US 20030147021 A1 G02F-001/136 Cont of application US 2002115939
 Cont of patent US 6522369

TW 531686 A G02F-001/1343

US 6693687 B2 G02F-001/1333 Cont of application WO 98JP1500
 Cont of application US 99402645
 Cont of application US 2001793921
 Cont of application US 2002115939
 Cont of patent US 6208399
 Cont of patent US 6388725
 Cont of patent US 6522369

US 6738108 B2 G02F-001/1343 Cont of application US 98402645
 Cont of application WO 98JP1500
 Cont of application US 2001793921
 Cont of application US 2002115939
 Cont of patent US 6208399
 Cont of patent US 6388725
 Cont of patent US 6522369

Abstract (Basic): WO 9847044 A

In an active-matrix liquid crystal display device, a counter-electrode and a pixel electrode are linearly formed so as not to flatly overlap each other, thus enabling generation of an electric field parallel to the substrate surface, and an insulating film having a dielectric constant not greater than 4 is formed on an image signal line, thus forming the counter-electrode on the insulating film to cover the image signal line.

ADVANTAGE - Enables realization of a broad visual field angle equivalent to that of a cathode ray tube and has high luminance, high picture quality, low power consumption and a narrow picture-frame.

Dwg.2/25

Title Terms: LIQUID; CRYSTAL; DISPLAY; DEVICE; COUNTER; ELECTRODE; PIXEL;
ELECTRODE; LINEAR; FORMING; SO; OVERLAP; ENABLE; GENERATE; ELECTRIC;
FIELD; PARALLEL; SUBSTRATE; SURFACE

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/1333; G02F-001/1343;
G02F-001/136

International Patent Class (Additional): G02F-001/1333

File Segment: EPI; EngPI

특 2001-0006187

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G02F 1/136

(11) 공개번호 특2001-0006187
(43) 공개일자 2001년01월26일

(21) 출원번호	10-1999-7009266	(87) 국제공개번호	WO 98/47044
(22) 출원일자	1999년10월08일	(87) 국제공개일자	1998년10월22일
변역문제출일자	1999년10월08일		
(86) 국제출원번호	PCT/JP 98/01500		
(86) 국제출원출원일자	1998년04월01일		
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 사이프러스 독일 덴마크 스 페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모 나코 네덜란드 포르투갈 스웨덴 국내특허 : 일본 대한민국 미국		
(30) 우선권주장	97-93440 1997년04월11일 일본(JP)		
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무		
	일본 도쿄도 치요다쿠 간다스루가다이 4조메 6반치		
(72) 발명자	오오타마스유키		
	일본국치바켄모바라시하야노3550		
	마시마사히로		
	일본국치바켄모바라시마치보13		
	오노키쿠오		
	일본국모바라시마치보13		
	스즈키노부유키		
	일본국치바켄모바라시시모나가요시460		
(74) 대리인	이중일		

심사청구 : 없음

(54) 액정표시장치

요약

본 발명은 액정표시장치에 관한 것으로, 브라운관과 같은 광시야각을 실현할 수 있음과 동시에 고휘도, 고화질, 저소비전력을 실현하며 좁은 면적을 갖는 액정표시장치를 제공하는 것을 목적으로 하고 있으며, 상기와 같은 목적을 달성하기 위해 액티브매트릭스형 액정표시장치에 있어서, 대향전극 및 화소전극은 평면적으로 겹치지 않도록 선모양으로 형성하고, 기판면에 평행한 전계를 발생시킬 수 있도록 합과 동시에 영상신호선상에 비(比)유전율이 4 이하인 절연막을 형성하고, 절연막상에 상기 영상신호선을 피복하도록 대향전극을 형성하는 기술이 제공된다.

도표

도

명세서

기술분야

본 발명은 액정표시장치에 관한 것으로, 특히 박막트랜지스터소자를 가지는 고화질의 액티브매트릭스형 액정표시장치에 관한 것이다.

배경기술

이른바 필전계방식이라 불리는 칼라액정표시장치는, 액정층을 매개로 서로 대향하여 배치되는 투영기판 중, 그 한쪽 또는 양쪽 액정층의 단위화소에 상응하는 영역면에 표시용전극과 기준전극이 구비되어 있으며, 이 표시용전극과 기준전극 사이에 투영기판면과 평행하게 발생시키는 전계에 의해 상기 액정층을 투과하는 빛을 변조시키도록 한 것이다. 이와 같은 칼라액정표시장치는 그 표시면을 큰 각도시야에서 관찰하여도 선명한 영상을 인식할 수 있어, 이른바 광각도시야에 뛰어난 것으로 잘 알려지게 되었다.

또한, 이와 같은 구성으로 이루어진 액정표시장치는, 예를들어 일본특허출원공표 평5-505247공보, 일본특허공개 소63-21907공보 및 일본특허공개 평6-160878공보에 상세하게 설명되어 있다.

그러나, 이와 같이 구성된 액정표시소자는, 영상신호선에서 발생하는 불필요한 전계가 표시전극과 기준전극 사이의 전계를 변동시켜, 표시면에 있어서 영상신호선 방향으로 파도양의 선을 긋는 화질불량, 이른바 세로스미어(크로스토크; 滲話)가 발생한다는 문제가 있었다. 이 문제를 해결하는 수단이 일본특허공개 평6-202127공보에 상세하게 서술되어 있다. 그러나, 이와 같이 구성된 액정표시소자는 절드전극을 설치하고, 또 외부에서 전위를 공급하기 위해 절드전극과 신호전극 사이의 용량에 대한 전류의 흘방향이 크며, 구동회로에 대해서 부하가 지나치게 커지므로, 소비전력이 커지거나 또는 구동회로가 너무 커져버리는, 나아가 절드전극에 전위를 인가하기 위한 접속수단이 필요하게 되어 공정의 증가 및 접속불량이 발생한다는 문제가 남아 있었다.

본 발명은 이와 같은 사정을 감안하여 이루어진 것으로, 그 목적은, 이른바 세로스미어를 억제시킬 수 있음과 동시에 생산성이 양호하며 저소비전력을 꾀할 수 있는 액정표시장치소자를 제공하는 데에 있다.

발명의 상세한 설명

상기 목적을 달성하기 위해, 본 발명에서는 제 1 구성으로서 복수의 영상신호선과 복수의 주사전극으로 구성된 복수의 화소를 가지며, 화소내에 기판면에 평행한 전계를 인가할 수 있는 화소전극과 대향전극을 가지고, 화소전극에 영상신호선과 주사신호선에 접속된 박막트랜지스터로부터 영상신호가 공급될 수 있는 액티브매트릭스형 액정표시장치에 있어서, 대향전극 및 화소전극은 평면적으로 겹쳐지지 않도록 선모양으로 형성되며, 영상신호선에 비(比)유전율이 4 미하인 절연막이 형성되고, 절연막상에 상기 영상신호선을 피복하도록 상기 대향전극이 형성되어 있는 액티브매트릭스형 액정표시장치를 구성한다.

제 1 구성을 포함하는 제 2 구성으로서, 화소전극이 상기 절연막상에 형성되어 있는 액티브매트릭스형 액정표시장치를 구성한다.

제 1 구성을 포함하는 제 3 구성으로서, 절연막과 적어도 박막트랜지스터소자의 게이트절연막 또는 보호막의 어느 하나가 동일 패턴으로 형성되어 있는 액티브매트릭스형 액정표시장치를 구성한다.

제 1 구성을 포함하는 제 4 구성으로서, 차광막이 수평방향으로 연장배치된 스트라이프모양으로 형성되어 있는 액티브매트릭스형 액정표시장치를 구성한다.

제 1 구성에서부터 제 3 구성을 포함하는 제 5 구성으로서, 절연막의 막두께가 1 μ m 이상 3 μ m 미하인 액티브매트릭스형 액정표시장치를 구성한다.

제 1 구성에서부터 제 3 구성을 포함하는 제 6 구성으로서, 상기 절연막은 레지스트재인 것을 특징으로 하는 청구항 1 내지 3에 기재된 액티브매트릭스형 액정표시장치를 구성한다.

제 1 구성에서부터 제 3 구성을 포함하는 제 7 구성으로서, 상기 박막트랜지스터소자를 보호하는 무기절연막의 막두께가 0.05 μ m 이상 0.3 μ m 미하인 액티브매트릭스형 액정표시장치를 구성한다.

이와 같이 구성한 액정표시장치는 다음과 같은 3개의 작용에서 발생한다.

< 작용 1 >

한쪽의 투영기판측에 형성되어 있는 영상신호선에 대하여, 평면적으로 보았을 때 완전히 중첩시킨 상태에서 기준전극이 유기절연막상에 형성되어 있음으로써, 영상신호선에서 발생하는 불필요한 전기력선의 거의 대부분이 기준전극으로 종단(終端)한다. 따라서, 필전계를 이용하는 본 발명의 표시방식과 같은 표시방식에 있어서 특유의 누설전계에 의한 크로스토크가 해소된다. 이로 인해, 종래 크로스토크를 줄이기 위해 영상신호선의 양 옆, 또는 대향기판상에 배치했던 절드전극으로부터 누설전계를 완전히 절드시킬 수 있기 때문에 화소의 수평방향을 표시용전극과 기준전극 및 개구부로 점유할 수 있다. 또한, 영상신호선과 기준전극간의 간격을 가릴 필요도 없어지기 때문에 수직방향의 차광막(블랙매트릭스)도 없어진다. 이로써, 필전계를 이용하는 표시방식의 최대 결점인 저개구율을 발본적으로 개선할 수 있어 50%를 넘는 개구율을 실현시킬 수 있다. 즉, 본 발명에서는 고개구율과 저스미어를 양립시킬 수 있게 된다.

< 작용 2 >

유기절연막은 무기절연막에 비해 그 비유전율이 약 절반(비유전율 ϵ_r 이 3 정도)정도이다. 또한, 유기막은 무기막에 비해 쉽게 두께를 두껍게 할 수 있기 때문에, 영상신호선과 기준전극간의 거리가 넓어진다. 이 영상신호선에 기준전극을 완전히 덮어씌워도 영상신호선과 기준전극간에 형성되는 용량은 매우 작게할 수 있다. 따라서, 영상신호선에서 보았을 때의 부하가 가벼워지기 위해 영상신호의 배선전달지연이 작아지고, 신호전압이 충분히 표시전극에 충전될 수 있으며, 또한 영상신호선을 구동하기 위해 구동회로를 축소시킬 수 있게 된다.

< 작용 3 >

유기막은 평탄성이 매우 좋기 때문에, 유기막을 능동소자를 형성하는 기판의 최상층에 도포함으로써 능동소자를 형성하는 기판의 평탄도를 향상시킬 수 있다. 이로 인해, 기판간의 갭의 불균일성에 따른 휘도(투과율)-전압특성의 불균일성을 없앨 수 있어 휘도의 균일성을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명에 관한 실시예 1의 액티브매트릭스형 칼라액정표시장치의 액정표시부의 한 소자와 그 주변을 나타내는 요부평면도이다.

도 2는 도 1의 6-6 절단선에 있어서의 화소의 단면도이다.

도 3은 도 1의 7-7 절단선에 있어서의 박막트랜지스터소자(TFT)의 단면도이다.

도 4는 도 1의 8-8 절단선에 있어서의 축적용량(Cstg)의 단면도이다.

- 도 5는 표시패널의 매트릭스주변부의 구성을 설명하기 위한 평면도이다.
- 도 6은 좌측에 주사신호단자, 우측에 외부접속단자가 없는 패널몰레부분을 표시하는 단면도이다.
- 도 7은 게이트단자(8TM)와 게이트배선(8L)의 접속부근부를 나타내는 평면과 단면의 도이다.
- 도 8은 드레인단자(8TM)와 영상신호선(8L)과의 접속부 부근을 나타내는 평면과 단면의 도이다.
- 도 9는 공통전극단자(CTM1), 공통버스라인(CB1) 및 공통전압신호선(CL)의 접속부 부근을 나타내는 평면과 단면의 도이다.
- 도 10은 공통전극단자(CTM2), 공통버스라인(CB2) 및 공통전압신호선(CL)의 접속부 부근을 나타내는 평면과 단면의 도이다.
- 도 11은 본 발명에 관한 액티브매트릭스형 칼라액정표시장치의 매트릭스부와 그 주변을 포함하는 회로도이다.
- 도 12는 본 발명에 관한 액티브매트릭스형 칼라액정표시장치의 실시예 1의 구동회로를 나타내는 도이다.
- 도 13은 기관(SUB1) 측의 공정 A~C의 제조공정을 나타내는 화소부와 게이트단자부의 단면도의 순서도이다.
- 도 14는 기관(SUB1) 측의 공정 D~F의 제조공정을 나타내는 화소부와 게이트단자부의 단면도의 순서도이다.
- 도 15는 기관(SUB1) 측의 공정 F~G의 제조공정을 나타내는 화소부와 게이트단자부의 단면도의 순서도이다.
- 도 16은 액정표시패널에 주변의 구동회로를 실장시킨 상태를 나타내는 상면도이다.
- 도 17은 구동회로를 구성하는 집적회로칩(CHI)이 플렉시블배선기판에 탑재된 테이프캐리어팩키지(TCP)의 단면구조를 나타내는 도이다.
- 도 18은 테이프캐리어팩키지(TCP)를 액정표시패널(PNL)의 주사신호회로용 단자(8TM)에 접속시킨 상태를 나타내는 요부단면도이다.
- 도 19는 액정표시모듈의 분해사시도이다.
- 도 20은 본 발명에 관한 실시예 2의 액티브매트릭스형 칼라액정표시장치의 액정표시부의 한 화소와 그 주변을 나타내는 요부평면도이다.
- 도 21은 본 발명에 관한 실시예 2의 액티브매트릭스형 칼라액정표시장치의 빛샘형 전극부의 단면도이다.
- 도 22는 본 발명에 관한 실시예 3의 액티브매트릭스형 칼라액정표시장치의 빛샘형 전극부의 단면도이다.
- 도 23은 본 발명에 관한 실시예 4의 액티브매트릭스형 칼라액정표시장치의 액정표시부의 한 화소와 그 주변을 나타내는 요부평면도이다.
- 도 24는 본 발명에 관한 실시예 5의 액티브매트릭스형 칼라액정표시장치의 액정표시부의 한 화소와 그 주변을 나타내는 요부평면도이다.
- 도 25는 본 발명에 관한 실시예 5의 액티브매트릭스형 칼라액정표시장치의 빛샘형 전극부의 단면도이다.

< 도면의 주요부분에 대한 부호의 설명 >

ACF : 이방성도전막	AR : 매트릭스
AS : 1형 반도체층	BL : 백라이트 형광관
BM : 차광막	CB1, CB2 : 공통버스라인
CHI : 직접회로칩	CL : 대향전압신호선(대향전극배선)
COT : 대향전극단자	C stg : 축적용량
CT : 대향전극	CTM1, CTM2 : 공통전극단자
d0 : 층	d3 : 도전층
DL : 영상신호선(드레인신호선)	DTM : 드레인단자
FC : 플렉시블	FIL : 칼라필터
g3 : 도전막	GI : 절연막
GL : 게이트배선(주사신호선)	GT : 게이트전극
8TM : 게이트단자(주사전극단자)	I1 : 투명도전층
INJ : 개구부	ITO : 투명도전막
LC : 액정조성물	LCA : 백라이트케이스
LCB : 도광체	LCV : 표시창
MAX : 편광투과축	MDL : 액정표시모듈

OC : 오버코트막	OR11, OR12 : 배향막
PAD : 분당패드	PCB1, PCB2 : 구동회로기판
PCB3 : 인버터회로기판	PNL : 액정표시패널
POL : 편광판	PSV1 : 보호막
PSV2 : 유기보호막	PX : 화소전극
RH : 반사판	SD1 : 소스전극
SD2 : 드레인전극	SHD : 실드케이스
SHg : 배선	SL : 실(seal)재
SPB : 광확산판	SUB1, SUB2 : 기판
TCP : 테이프캐리어택지	TFT : 박막트랜지스터소자
Tg, Td : 외부접속단자군	TH1, TH2 : 쓰루홀
TSTd : 검사단자	TTB, TTM : 단자
V _{com} : 대향전압	Vg : 게이트전압
V _{th} : 임계전압	

실시예

본 발명의 또다른 목적 및 본 발명의 또다른 특징은 도면을 참조한 이하의 설명에서 명확해질 것이다.
실시예 1

《액티브 매트릭스 액정표시장치》

이하, 액티브 매트릭스방식의 칼라액정표시장치에 본 발명을 적용시킨 실시예를 설명하기로 한다. 또한, 이하 설명하는 도면에서 동일한 기능을 가지는 것은, 동일한 부호를 붙여 그에 대한 반복설명은 생략하기로 한다.

《매트릭스부(화소부)의 평면구성》

도 1은 본 발명에 관한 액티브 매트릭스방식 칼라액정표시장치의 한 화소와 그의 주변을 나타내는 평면도이다.

도 1에 나타난 바와 같이, 각 화소는 주사신호선(게이트신호선 또는 수평신호선)(BL)과, 대향전압신호선(대향전극배선)(CL)과, 인접하는 2개의 영상신호선(드레인신호선 또는 수직신호선)(DL)의 교차영역내(4개의 신호선으로 둘러싸인 영역내)에 배치되어 있다. 각 화소는 박막트랜지스터(TFT), 축적용량(C_{stg}), 화소전극(PX)(본 실시예에서는 화소전극이라 칭하며, 즉 표시용전극을 말한다) 및 대향전극(CT)(본 실시예에서는 대향전극이라 칭하며, 즉 기준전극을 말한다)를 포함한다. 주사신호선(BL)과 대향전압신호선(CL)은, 도에서는 좌우방향으로 연장배치되어 상하방향으로 복수개 배치되어 있다. 영상신호선(DL)은 상하방향으로 연장배치되어 좌우방향으로 복수개 배치되어 있다. 화소전극(PX)은 소스전극(SD1)을 매개로 박막트랜지스터(TFT)와 전기적으로 접속되며, 대향전극(CT)도 대향전압신호선(CL)과 전기적으로 접속되어 있다.

화소전극(PX)과 대향전극(CT)은 서로 대향하며, 각 화소전극(PX)과 대향전극(CT)간에서 발생하는 기판면에서 거의 평행한 전계에 의해 액정조성물(LC)의 광학적 상태를 제어하고, 또 표시를 제어한다. 화소전극(PX)과 대향전극(CT)은 빗살모양으로 구성되어 각각 도의 상하방향으로 가늘게 되어 있다.

화소전극(PX)과 대향전극(CT)의 전극폭은 각각 6 μ m로 한다. 이것은, 액정층의 두께방향에 대해 액정층 전체에 충분한 전계를 인가하기 위하여, 후술하는 액정조성물층의 두께 3.9 μ m보다도 충분히 크게 설정한다. 바람직하게는 액정조성물층의 1.5배 이상으로 설정한다. 또한, 개구율을 크게 하기 위해 가능한 한 가늘게 하며, 영상신호선(DL)도 6 μ m로 한다. 영상신호선(DL)의 전극폭은 단선(斷線)을 방지하기 위하여 화소전극(PX)과 대향전극(CT)에 비해 약간 넓게 할 수도 있다.

주사신호선(BL)은 말단측의 화소(후술할 주사전극단자(BTM)의 반대측)의 게이트전극(6T)에 충분히 주사전압이 전달되는 만큼의 저항치를 만족시킬 수 있도록 전극폭을 설정한다. 또한, 대향전압신호선(CL)도 말단측의 화소(후술하는 공통배선라인(CB1 및 CB2)로부터 가장 먼 화소, 즉 CB1과 CB2의 중간화소)의 대향전극(CT)에 대향전압이 충분히 인가될 수 있는 만큼의 저항치를 만족시키도록 전극폭을 설정한다.

한편, 화소전극(PX)과 대향전극(CT)간의 전극간격은, 사용하는 액정재료에 따라서 변한다. 이것은, 액정재료에 따라 최대투과율을 달성하는 전계강도가 다르기 때문에 전극간격을 액정재료에 따라 설정하고, 사용하는 영상신호구동회로(신호측 드라이버)의 내압(耐壓)에서 설정되는 신호전압의 최대전폭 범위에서 최대투과율을 얻을 수 있도록 하기 때문이다. 후술하는 액정재료를 사용하면 전극간격은 약 15 μ m가 된다.

《매트릭스부(화소부)의 단면구성》

도 2는 도 1의 6-6 절단선에 있어서의 단면을 나타내는 도이며, 도 3은 도 1의 7-7 절단선에 있어서의 박막트랜지스터(TFT)의 단면도이고, 도 4는 도 1의 8-8 절단선에 있어서의 축적용량(C_{stg})의 단면을 나타내는 도이다. 도 5~도 7에 나타난 바와 같이, 액정조성물층(LC)을 기준으로 하여 하부 투명유리기판(SUB1) 속에는 박막트랜지스터(TFT), 축적용량(C_{stg}) 및 전극군이 형성되며, 상부 투명유리

기관(SUB2) 측에는 칼라필터(FIL), 차광막(블랙매트릭스)(BM)이 형성되어 있다.

또한, 투명 유리기판(SUB1, SUB2)의 각각 내측(액정(LC)측)의 표면에는, 액정의 초기배향을 제어하는 배향막(OR1, OR2)이 설치되어 있으며, 투명 유리기판(SUB1, SUB2) 각각의 외측 표면에는 편광판이 설치되어 있다.

《TFT기판》

우선, 하측 투명유리기판(SUB1) 측(TFT기판)의 구성을 상세하게 설명하기로 한다.

《박막트랜지스터(TFT)》

박막트랜지스터(TFT)는, 게이트전극(8T)에 양의 바이어스를 인가하면 소스드레인간의 채널저항이 작아지고, 바이어스를 0으로 하면 채널저항이 커지도록 동작한다.

박막트랜지스터(TFT)는 도 3에 나타난 바와 같이, 게이트전극(8T), 절연막(8I), i형(진성, intrinsic, 도전형 결정질순수물이 도핑되지 않음) 비정질실리콘(SI)으로 이루어지는 i형 반도체층(AS), 한쌍의 소스전극(SD1), 드레인전극(SD2)을 가진다. 또한, 소스, 드레인은 본래 그 사이의 바이어스극성에 의해 결정되는 것으로, 이 액정표시장치의 회로에서는 그 극성은 동작중에 반전되기 때문에 소스, 드레인은 동작중에 바뀌어야 하는 것을 이해하기 바란다. 그러나, 이하의 설명에서는 편의상 한쪽을 소스, 다른 한쪽을 드레인으로 고정시켜 표현하기로 한다.

《게이트전극(8T)》

게이트전극(8T)은 주사신호선(8L)과 연속해서 형성되어 있으며, 주사신호선(8L)의 일부영역이 게이트전극(8T)으로 되도록 구성되어 있다. 게이트전극(8T)은 박막트랜지스터(TFT)의 능동영역을 넘는 부분이다. 본 예에서는 게이트전극(8T)은 단층의 도전막(93)으로 형성되어 있다. 도전막(93)으로는 예를들어 스퍼터로 형성된 크롬-몰리브덴합금(Cr-Mo)막이 이용되지만, 그것에 한정되지는 않는다.

《주사신호선(8L)》

주사신호선(8L)은 도전막(93)으로 구성되어 있다. 이 주사신호선(8L)의 도전막(93)은 게이트전극(8T)의 도전막(93)과 동일한 제조공정으로 형성되며, 또한 일체로 구성되어 있다. 이 주사신호선(8L)에 의해 외부회로부터의 게이트전압(주사전압)(Vg)을 게이트전극(8T)에 공급한다. 본 예에서는, 도전막(93)으로는 예를들어 스퍼터로 형성된 크롬-몰리브덴합금(Cr-Mo)막이 이용된다. 또한, 주사신호선(8L) 및 게이트전극(8T)은 크롬-몰리브덴합금에만 한정되는 것이 아니라, 예를들어 저저항화를 위해 알루미늄 또는 알루미늄합금을 크롬-몰리브덴으로 썬 2층구조로 할 수도 있다. 또한, 영상신호선(8L)과 교차하는 부분은 영상신호선(8L)과의 단락의 확률을 작게 하기 위해 가늘게 하고, 또한 단락하여도 레이저 트리밍으로 잘라낼 수 있도록 두갈래로 할 수도 있다.

《대향전압신호선(8L)》

대향전압신호선(8L)은 도전막(93)로 구성되어 있다. 이 대향전압신호선(8L)의 도전막(93)은 게이트전극(8T), 주사신호선(8L) 및 대향전극(8T)의 도전막(93)과 동일한 제조공정으로 형성되고, 또한 대향전극(8T)과 전기적으로 접속할 수 있도록 구성되어 있다. 이 대향전압신호선(8L)에 의해 외부회로부터 대향전압(Vcon)을 대향전극(8T)에 공급한다. 또한, 대향전압신호선(8L)은 크롬-몰리브덴합금에만 한정되는 것이 아니라, 예를들어 저저항화를 위해 알루미늄 또는 알루미늄합금을 크롬-몰리브덴으로 썬 2층구조로 할 수도 있다. 또한, 영상신호선(8L)과 교차하는 부분은 영상신호선(8L)과의 단락의 확률을 작게 하기 위해 가늘게 하고, 또한 단락하여도 레이저 트리밍으로 잘라낼 수 있도록 두갈래로 할 수도 있다.

《절연막(8I)》

절연막(8I)은 박막트랜지스터(TFT)에 있어서, 게이트전극(8T)과 함께 반도체층(AS)에 전계를 부여하기 위한 게이트절연막으로서 사용된다. 절연막(8I)은 게이트전극(8T) 및 주사신호선(8L)의 상층에 형성되어 있다. 절연막(8I)으로는 예를들어 플라즈마 CVD로 형성된 질화실리콘막이 선택되며, 2000~4500Å의 두께로(본 실시예에서는 3500Å정도) 형성된다. 또한, 절연막(8I)은 주사신호선(8L) 및 대향전압신호선(8L)과 영상신호선(8L)의 층간절연막으로도 작용하며, 그들의 전기적 절연에도 기여하고 있다.

《i형 반도체층(AS)》

i형 반도체층(AS)은, 비정질실리콘으로 150~2500Å의 두께로(본 실시예에서는 1200Å 정도의 막두께) 형성된다. 층(d0)은 오오믹 접촉을 인(P)을 도포한 N(+)-형 비정질실리콘 반도체층으로, 하측에 i형 반도체층(AS)이 존재하고, 상측으로 도전층(d3)이 존재하는 곳에만 남아 있다.

i형 반도체층(AS) 및 층(d0)은, 주사신호선(8L) 및 대향전압신호선(8L)과 영상신호선(8L)의 교차부(크로스오버부)의 양자간에도 설치되어 있다. 이 교차부의 i형 반도체층(AS)은 교차부에 있어서의 주사신호선(8L) 및 대향전압신호선(8L)과 영상신호선(8L)의 단락을 저감시킨다.

《소스전극(SD1), 드레인전극(SD2)》

소스전극(SD1), 드레인전극(SD2)의 각각은 N(+)-형 반도체층(d0)에 접촉하는 도전막(d3)으로 구성되어 있다.

도전막(d3)은 스퍼터로 형성된 크롬-몰리브덴합금(Cr-Mo)막을 이용하여, 500~3000Å의 두께로(본 실시예에서는 2500Å 정도) 형성된다. Cr-Mo막은 저용력이기 때문에 비교적 막두께를 두껍게 형성할 수 있어 배선의 저저항화에 기여한다. 또한, Cr-Mo막은 N(+)-형 반도체층(d0)과의 접착성도 양호하다. 도전막(d3)으로서 Cr-Mo막 외에 고용점금속(Mo, Ti, Ta, W)막, 고용점금속 실리사이드(MoSi₂, TiSi₂, TaSi₂, WSi₂)막을

이용할 수도 있고, 또한 알루미늄 등과의 적층구조로 하여도 된다.

《영상신호선(OL)》

영상신호선(OL)은 소스전극(S01), 드레인전극(S02)과 동일층인 도전막(d3)으로 구성되어 있다. 또한, 영상신호선(OL)은 드레인전극(S02)과 일체로 형성되어 있다. 본 예에서는 도전막(d3)은 스퍼터로 형성한 크롬-몰리브덴합금(Cr-Mo)막을 이용하여 500~3000Å의 두께로(본 실시예에서는 2500Å 정도) 형성된다. Cr-Mo막은 저용력이기 때문에 비교적 막두께를 두껍게 형성할 수 있어 배선의 저저항화에 기여한다. 또한, Cr-Mo막은 N(+)형 반도체층(d0)과의 접착성도 양호하다. 도전막(d3)으로서 Cr-Mo막 외에 고용점금속속(Mo, Ti, Ta, W)막, 고용점금속 실리사이드(MoSi₂, TiSi₂, TaSi₂, WSi₂)막을 이용할 수도 있고, 또한 단선을 막기 위해 알루미늄 등과의 적층구조로 하여도 된다.

《촉적용량(C stg)》

도전막(d3)은, 박막트랜지스터(TFT)의 소스전극(S02)부분에 있어서, 대향전압신호선(OL)과 겹쳐도록 형성되어 있다. 이 겹침은, 도 1에서도 명확하게 알 수 있듯이 소스전극(S02-d3)을 한쪽 전극으로 하고, 대향전압신호선(OL)을 다른쪽의 전극으로 하는 축적용량(정전용량소자)(C stg)을 구성한다. 이 축적용량(C stg)의 유전체막은 박막트랜지스터(TFT)의 게이트절연막으로서 사용되는 절연막(B1)으로 구성되어 있다.

도 1에 나타난 바와 같이, 평면적으로는 축적용량(C stg)은 대향전압신호선(OL)의 일부분에 형성되어 있다.

《보호막(PSV1)》

박막트랜지스터(TFT)상에는 보호막(PSV1)이 설치되어 있다. 보호막(PSV1)은 주로 박막트랜지스터(TFT)를 습기 등으로부터 보호하기 위해 형성되어 있으며, 투명성이 높고 또한 내습성이 좋은 것을 사용한다. 보호막(PSV1)은 예를들어 플라스마 CVD장치로 형성한 산화실리콘막이나 질화실리콘막으로 형성되어 있으며, 0.05~0.3μm 정도의 막두께로 형성된다. 보호막(PSV1)은 박막트랜지스터소자(TFT)의 백채널부의 보호, 즉 임계치 전압(V_{th})을 안정시키는 것이 주목적이기 때문에, 본 실시예에서는 박막트랜지스터(TFT)부에만 삼모양이 형성된다. 이로 인해, 보호막(PSV1)의 용력에 의한 기판의 뒤집힘을 크게 경감시킬 수 있다.

보호막(PSV1)은 외부접속단자(DTM, BTM)가 노출되도록 제거되어 있다. 보호막(PSV1)과 절연막(B1)의 두께 관계에 관해서는, 전자는 보호효과를 고려해 두껍게 되어 있고, 후자는 트랜지스터의 상호 컨덕턴스(g_m)를 고려해 얇게 되어 있다.

《유기보호막(PSV2)》

보호막(PSV1)에는 유기막(PSV2)이 설치되어 있다. 유기막(PSV2)은 다음과 같은 목적으로 형성되어 있어, 투명성이 높고 비유전율이 2 정도인 낮은 것을 사용한다. 유기막(PSV2)은 예를들어 도포장치로 형성한 레지스트막으로 형성되어 있으며, 1~3μm 정도의 막두께로 형성된다. 이로 인해, 영상신호선과 그것으로 뒤집어써져진 대향전극 사이의 용량을 크게 경감시킬 수 있다. 이로써, 영상신호선의 부하가 크게 경감되며, 영상신호를 구동하기 위한 구동 LSI의 회로규모를 크게 축소할 수 있다. 또한, 작용에서도 설명한 바와 같이, 유기보호막(PSV2)은 박막트랜지스터기판의 평탄도를 향상시키는 데에도 도움이 된다. 이것은, 유기막이 유기막에 비해 평탄성이 좋게 형성될 수 있기 때문이다.

유기막(PSV2)은 외부접속단자(DTM, BTM)가 노출되도록 제거되어 있다. 또한, 화소부에서는 대향전압신호선(OL)과 후속하는 대향전극(CT)과의 전기적 접속, 및 소스전극(S02)과 화소전극(PX)의 전기적 접속을 위해 쓰루홀(TH2 및 TH)을 설치하고 있다. 쓰루홀(TH2)에서는, 유기막(PSV2)과 절연막(B1)이 일괄적으로 가공되기 때문에 그중까지 구멍이 뚫리고, 쓰루홀(TH1)에서는 d3에서 제거되기 때문에 d3중까지 구멍이 뚫린다.

본 실시예에서는 비유전율이 3 정도인 유기막을 사용하였지만, 본 실시예의 효과를 끌어내게 위해서는 4 이하가 바람직하다.

《화소전극(PX)》

화소전극(PX)은 투명도전층(11)에서 유기막(PSV2)상에 형성되어 있다. 이 투명도전막(11)은 스퍼터링으로 형성된 투명도전막(Indium-Tin-Oxide ITO : 내사막)으로 이루어져, 100~2000Å의 두께로(본 실시예에서는 1400Å 정도의 막두께) 형성된다. 또한, 화소전극(PX)은 쓰루홀(TH1)을 매개로 소스전극(S02)에 접속되어 있다.

화소전극이 본 실시예와 같이 투명하게 됨으로써, 그 부분의 투과율에 의해 흰 표시를 행할 때의 최대투과율이 향상하기 때문에 화소전극이 불투명한 경우보다도 보다 밝은 표시를 행할 수 있다. 이 때, 후속하는 바와 같이 전압 무인가시에는 액정분자는 초기의 배향상태를 유지하여 그 상태에서 검은 표시를 행하도록 편광판의 배치를 구성(노멀 블랙모드로 한다)하고 있기 때문에, 화소전극을 투명하게 해도 그 부분의 빛을 투과시키지 않고 양점의 검은 표시를 행할 수 있다. 이로써, 최대투과율이 향상되고 또한 충분한 콘트라스트비를 달성할 수 있다.

《대향전극(CT)》

대향전극(CT)은 투명도전층(11)에서 유기막(PSV2)상에 형성되어 있다. 이 투명도전막(11)은 스퍼터링으로 형성된 투명도전막(Indium-Tin-Oxide ITO : 내사막)으로 이루어져, 100~2000Å의 두께로(본 실시예에서는 1400Å 정도의 막두께) 형성된다. 또한, 대향전극(CT)은 쓰루홀(TH2)을 매개로 대향전압신호선(OL)에 접속되어 있다. 화소전극(PX)과 마찬가지로, 대향전극을 투명하게 함으로써 흰 표시를 행할 때의 최대투과율이 향상된다. 또한, 대향전극(CT)에서 영상신호선(OL)상을 완전히 덮어버리도록 구성하여 영상신호선(OL)로부터의 전기력선의 대부분을 대향전극(CT)으로 중단시킨다. 이로 인해, 횡전계방식 특유의 영상신호선으로부터의 누설전계가 완전하게 없어지기 때문에, 크로스토크가 완전하게 해소된다. 이것은, 횡전계방식을 이용하는 액티브 매트릭스형 액정표시장치 특유의 효과이다.

또한, 대향전극(CT)에는 대향전압(V_{com})이 인가되도록 구성되어 있다. 본 실시예에서는, 대향전압(V_{com})은, 영상신호선(OL)에 인가되는 최소레벨의 구동전압(V_{dmin})과 최대레벨의 구동전압(V_{dmax})의 중간적립전위로부터 박막트랜지스터소자(TFT)를 오프상태로 할 때에 발생하는 피이드쓰루전압(ΔV_s)분 만큼 낮은 전위로 설정된다.

《칼라필터기판》

다음으로, 도 1, 도 2로 돌아와서 상측투명유리기판(SUB2) 측(칼라필터기판)의 구성을 상세하게 설명하기로 한다.

《차광막(BM)》

상부 투명유리기판(SUB2) 측에는 불필요한 간격부(화소전극(PX)과 대향전극(CT) 사이 이외의 간격)로부터의 투과광이 표시면측에 흡사되어 콘트라스트비 등을 저하시키지 않도록 차광막(BM)(이른바 블랙매트릭스)을 형성하고 있다. 차광막(BM)은 외부광 또는 백라이트광이 1회 반도체층(AS)에 입사되지 않도록 하는 역할도 하고 있다. 즉, 박막트랜지스터(TFT)의 1회 반도체층(AS)은 상하로 있는 차광막(BM) 및 음극한 게이트전극(OT)에 의해 샌드위치되어 외부의 자연광이나 백라이트광에 닿지 않게 된다.

도 1은 차광막(BM)의 패턴의 한 예를 나타낸다.

본 실시예에서는 화소의 표시부에 구멍을 뚫은 매트릭스모양의 패턴으로 한다. 본 실시예에서는, 차광막(BM)은 크롬박막을 이용한다. 또한, 크롬박막의 유리면 측에는 산화크롬, 질화크롬을 형성한다. 이것은 유리면 측의 반사율을 감소시키기 위함이며, 액정표시장치의 표시면을 저반사로 하기 위함이다.

또한, 이 차광막(BM)으로 각형 각형의 유효표시영역이 나뉘어지므로, 각형의 화소의 윤곽이 차광막(BM)에 의해 확실해진다.

또한, 차광막(BM)은 주변부에도 플러그모양으로 형성되어, 그 패턴은 도 1에 나타내는 매트릭스부의 패턴과 연속해서 형성되어 있다. 주변부의 차광막(BM)은 실(seal)부(SL)의 외측으로 연장되어 PC 등의 실장기에 기인하는 반사광 등의 새는 빛이 매트릭스부로 들어오는 것을 방지함과 동시에, 백라이트 등의 빛이 표시영역 외로 새어나가는 것도 방지하고 있다. 한편, 이 차광막(BM)은 기판(SUB2)의 가장자리 보다도 약 0.3~1.0mm 정도 내측으로 되어 있어 기판(SUB2)의 접단영역을 피해서 형성되어 있다.

본 실시예에서는 박막에서도 차광성이 높은 금속막을 이용하였는데, 충분한 차광성을 얻을 수 있다면 절연성 차광막을 이용할 수도 있다.

《칼라필터(FIL)》

칼라필터(FIL)는 화소에 대항하는 위치에 적, 록, 청의 반복에 의해 스트라이프모양으로 형성된다. 칼라필터(FIL)는 차광막(BM)의 엇지부분과 겹쳐서 형성되어 있다.

칼라필터(FIL)는 다음과 같이 형성될 수 있다. 우선, 상부 투명유리기판(SUB2)의 표면에 마크밀계 수지 등의 염색기재를 형성하고, 포토라소그래피기술로 적색필터 형성영역 이외의 염색기재를 제거한다. 그 후, 염색기재를 적색안료로 물들리고 고착처리를 실시하여 적색필터(R)를 형성한다. 다음으로, 동일한 공정을 실시함으로써 녹색필터(G), 청색필터(B)를 순서대로 형성한다. 또한, 염색에는 염료를 이용할 수도 있다.

《오버코트막(OC)》

오버코트막(OC)은 칼라필터(FIL)의 염료가 액정조성물층(LC)으로 누설되는 것을 방지, 및 칼라필터(FIL), 차광막(BM)에 의한 단차의 평탄화를 위해 설치되어 있다. 오버코트막(OC)은 예를들어 마크밀수지, 에폭시수지 등의 투명수지재로 형성되어 있다. 또한, 오버코트막(OC)으로 유동성이 좋은 폴리이미드 등의 유기막을 사용할 수도 있다.

《액정층 및 편향판》

다음으로, 액정층, 배향막, 편광판 등에 대하여 설명하기로 한다.

《액정층》

액정재료(LC)로는, 유전율이방성($\Delta\epsilon$)이 양으로 그 값이 13.2, 굴절율이방성(Δn)이 0.081(589nm, 20℃)인 네마틱(nematic) 액정을 이용한다. 액정층의 두께(갭)는 3.0 μ m로 하고, 리타레이션 $\Delta n \cdot d$ 는 0.316으로 한다. 이 리타레이션 $\Delta n \cdot d$ 의 값에 의해 흡수하는 배향막과 편광판을 조합하여 액정분자가 리빙방향에서 전계방향으로 45° 회전하였을 때 최대투과율을 얻을 수 있으며, 가시광의 범위내에서 파장의존성이 거의 없는 투과광을 얻을 수 있다. 이 리타레이션의 범위는 0.25~0.32 μ m의 범위가 충분한 투과광을 얻기에 바람직하다. 또한, 액정층의 두께(갭)는 폴리머비즈로 제어하고 있다.

또한, 액정재료(LC)는 특히 한정된 것이 아니대 유전율이방성($\Delta\epsilon$)이 음이 될 수도 있다. 또한, 유전율이방성($\Delta\epsilon$)은 그 값이 커야 구동전압이 감소될 수 있다. 그리고, 굴절율이방성(Δn)은 작아야 액정층의 두께(갭)를 두껍게 할 수 있으며, 액정의 봉입시간이 단축되고 또한 갭의 불규칙함을 줄일 수 있다.

또한, 액정조성물의 비저항으로는 10¹⁰Ωcm 이상 10¹⁴Ωcm이하, 바람직하게는 10¹¹Ωcm 이상 10¹³Ωcm 이하인 것을 이용한다. 본 방식에서는, 액정조성물의 저항이 낮아도 화소전극과 대향전극간에 충전된 전압을 충분히 유지할 수 있으며, 그 하한은 10¹⁰Ωcm, 바람직하게는 10¹¹Ωcm이다. 이것은, 화소전극과 대향전극을 동일기판상에 구성하고 있기 때문이다. 또한, 저항이 지나치게 높으면 제조공정상에 들어간 정전기를 완화시키기 어렵기 때문에 10¹⁴Ωcm 이하, 바람직하게는 10¹³Ωcm 이하가 좋다.

또한, 액정재료의 트위스트탄성정수(K2)는 작은 것이 바람직하며, 구체적으로는 2nE 이상이 좋다.

《배향막》

배향막(ORI)으로는 폴리이미드를 이용한다. 러빙방향은 상하기판에서 서로 평행하게 하고, 또한 인가전계 방향과 이루는 각이 75° 로 한다.

또한, 러빙방향과 인가전계방향에 이루는 각도는 액정재료의 유전율비방성($\Delta\epsilon$)이 양이면 45° 이상 90° 미만, 유전율비방성($\Delta\epsilon$)이 음이면 0° 를 넘어서 45° 이하이어야 한다.

《편광판》

편광판(POL)으로는 닛토덴코우회사 제품인 612200를 이용하여, 하측의 편광판(POL1)의 편광투과축(MAX1)을 러빙방향(ROR)과 일치시키고, 상측의 편광판(POL2)의 편광투과축(MAX2)을 그것에 직교시킨다. 이로 인해, 본 발명의 화소에 인가되는 전압(화소전극(PX)과 대향전극(CT) 사이의 전압)을 증가시킴에 따라 투과율이 상승하는 정상닫힘(normally closed)특성을 얻을 수 있으며, 또한 전압 무인가시에는 양질의 검은 표시를 행할 수 있다. 또한, 상측과 하측의 편광판의 관계는 역전시킬 수도 있으며, 특성상 큰 변화는 없다.

또한, 본 실시예에서는 편광판에 도전성을 갖게 함으로써 외부로부터의 정전기에 의한 표시불량 및 EMI 대책을 실시하고 있다. 도전성에 관해서는, 정전기에 의한 영향을 대책하는 것 뿐이라면 시트저항이 $10^4 \Omega/\square$ 이하, EMI에 대해서도 대책한다면 $10^2 \Omega/\square$ 이하로 하는 것이 바람직하다. 또한, 유리기판의 액정조성물의 협지면의 안쪽면(편광판을 접착시키는 면)에 도전층을 설치할 수도 있다.

《메트릭스주변의 구성》

도 5는 상하의 유리기판(SUB1, SUB2)을 포함하는 표시패널(PNL)의 매트릭스(AR)주변의 요부평면을 나타내는 도이다. 또한, 도 6은 좌측에 주사회로가 접속될 외부접속단자(OTM)부근의 단면을 나타내고, 우측에 외부접속단자가 없는 부분의 일부 부근의 단면을 나타내는 도이다.

이 패널제조에서는, 사이즈가 작으면 쓰루홀의 향상을 위해 1장의 유리기판으로 복수개분의 디바이스를 동시에 가공한 후에 분할하고, 사이즈가 크면 제조설비의 공용을 위해 모든 공정을 표준화된 크기의 유리기판을 가공한 후에 각 공정에 맞는 사이즈로 작게하며, 두 경우 모두 한차례 공정을 거친 후 유리를 절단한다. 도 5, 도 6은 후자의 예를 나타내는 것으로, 도 5, 도 6 모두 상하기판(SUB1, SUB2)의 절단 후를 나타내고 있으며, L은 양 기판의 절단선의 가장자리를 나타낸다. 상기의 경우 모두, 완성상태에서는 외부접속단자군(Tg, Td) 및 단자(COT)(절지생략)가 존재하는 (도에서 상변과 좌변의)부분은 그것들이 노출되도록 상측기판(SUB2)의 크기가 하측기판(SUB1)보다도 내측으로 제한되어 있다. 단자군(Tg, Td)은 각각 흡수하는 주사회로접속용 단자(OTM), 영상신호회로접속용 단자(OTM)와 그들의 인출배선부를 접착회로접(CHA)이 탑재된 테이프캐리어팩키지(TCP)(도 16, 도 17)의 단위로 복수개 합쳐서 이름붙인 것이다. 각 군의 매트릭스부에서 외부접속단자부에 이르기까지의 인출배선은, 양단에 가까워질수록 경사져 있다. 이것은, 팩키지(TCP)의 배열피치 및 각 팩키지(TCP)에서의 접속단자피치에 표시패널(PNL)의 단자(OTM, OTM)를 맞추기 위함이다. 또한, 대향전극단자(COT)는 대향전극(CT)에 대향전압을 외부회로로부터 부여하기 위한 단자이다. 매트릭스부의 대향전압신호선(CL)은 주사회로용 단자(OTM)의 반대측(도에서는 우측)으로 끌어내어, 각 대향전압신호선을 공통배선라인(CB)에서 하나로 모아 대향전극단자(COT)에 접속하고 있다.

투명유리기판(SUB1, SUB2)의 사이에는 그 가장자리를 따라 액정봉입구(INJ)를 제외하고 액정(LC)을 봉하도록 선팅트(SL)이 형성된다. 선팅트는 예를들어 예폭시수지로 구성된다.

배향막(ORI1, ORI2)의 측은 선팅트(SL)의 내측에 형성된다. 편광판(POL1, POL2)은 각각 하부 투명유리기판(SUB1), 상부 투명유리기판(SUB2)의 외측 표면에 구성되어 있다. 액정(LC)은 액정분자의 방향을 설정하는 하부배향막(ORI1)과 상부배향막(ORI2) 사이에서 선팅트(SL)으로 나뉘어진 영역에 봉입되어 있다. 하부 배향막(ORI1)은 하부 투명유리기판(SUB1) 측의 보호막(PSV1)의 상부에 형성된다.

이 액정표시장치는, 하부 투명유리기판(SUB1)측, 상부 투명유리기판(SUB2) 측에서 따로 다양한 층을 적층하고, 선팅트(SL)을 기판(SUB2) 측에 형성하여 하부 투명유리기판(SUB1)과 상부 투명유리기판(SUB2)을 겹쳐서 선팅트(SL)의 개구부(INJ)로부터 액정(LC)을 주입하고, 주입구(INJ)를 예폭시수지 등으로 봉한 후 상하기판을 절단함으로써 조립한다.

《게이트단자부》

도 7은 표시메트릭스의 주사신호선(BL)으로부터 그 외부접속단자(OTM)까지의 접속구조를 나타내는 도이며, 도 7a는 평면이고, 도 7b는 도 7a의 B-B절단선에 있어서의 단면을 나타내고 있다. 또한, 도 7은 도 5의 하방부근에 대응하며, 경사진 배선의 부분은 편의상 일직선모양으로 나타내었다.

도에서 Cr-Mo층(g3)은 알기 쉽도록 해치를 설치하였다.

게이트단자(OTM)는 Cr-Mo층(g3)과, 그 표면을 보호하면서 TCP(Tape Carrier Package)와의 접속의 신뢰성을 향상시키기 위한 투명도전층(11)으로 구성되어 있다. 이 투명도전층(11)은 화소전극(PX)과 동일한 공정으로 형성된 투명도전막(ITO)을 이용하고 있다.

평면도에 있어서, 절연막(G1) 및 보호막(PSV1)은 그 경계선보다도 우측에 형성되어 있으며, 좌단에 위치하는 단자부(OTM)는 그들로부터 노출되어 외부회로와의 전기적 접촉이 가능하도록 되어 있다. 도에서는 게이트선(BL)과 게이트단자의 한쌍 만이 나타나 있는데, 실제로는 이와 같은 쌍이 도 5에 나타낸 바와 같이 상하로 복수개 늘어서 단자군(Tg, Td)이 구성되어, 게이트단자의 좌단은, 제조과정에서는 기판의 절단영역을 넘어 연장되어 배선(SHg)(도시생략)에 의해 단락된다. 제조과정에 있어서의 배향막(ORI1)을 러빙할 때 등의 정전파괴방지에 도움을 준다.

《드레인단자(OTM)》

도 8은 영상신호선(DL)에서 그 외부접속단자(OTM)까지의 접속을 나타내는 도이며, 도 8A는 그 평면을 나타내고, 도 8B는 도 8A의 B-B절단선에 있어서의 단면을 나타낸다. 또한, 도 8은 도 5의 우측상단 부근에 대응하며, 도면의 방향은 편의상 바꾸었는데, 우단방향이 기판(SUB1)의 상단부에 해당한다.

TSTd는 검사단자로서, 여기에는 외부회로가 접속되어 있지 않은데, 프로브침 등을 접촉시킬 수 있도록 배선부보다 폭이 넓게되어 있다. 외부접속드레인단자(OTM)는 상하방향으로 배열되고, 드레인단자(OTM)는 도 9에 나타난 바와 같이 단자군(Td)(첨자생략)을 구성하여 기판(SUB1)의 절단선을 넘어 더 연장되며, 제2조광층은 정전파괴방지를 위해 그 모두가 서로 배선(SBd)(도시생략)에 의해 단락된다. 검사단자(TSTd)는 도 8에 나타난 바와 같이 한개걸러 영상신호선(DL)에 형성된다.

드레인접속단자(OTM)는 투명도전층(11)으로 형성되어 있으며, 보호막(PSV1)을 제거한 부분에서 영상신호선(DL)과 접속되어 있다. 이 투명도전막(11)은 게이트단자(OTM)와 마찬가지로 화소전극(PX)과 동일한 공정으로 형성된 투명도전막(ITO)을 이용하고 있다.

매트릭스부에서 드레인단자부(OTM)까지의 인출배선은 영상신호선(DL)과 동일한 레벨의 층(d3)이 구성되어 있다.

《대향전극단자(CTM)》

도 9는 대향전압신호선(CL)에서 그 외부접속단자(CTM)까지의 접속을 나타내는 도이며, 도 9A는 그 평면을 나타내고, 도 9B는 도 9A의 B-B절단선에 있어서의 단면을 나타낸다. 또한, 도 9는 도 5의 좌측상단 부근에 대응한다.

각 대향전압신호선(CL)은 공통버스라인(CB1)에서 하나로 모아져 대향전극단자(CTM)로 끌어내진다. 공통버스라인(CB)은 도전층(g3)의 위에 도전층(3)을 적층하고, 투명도전층(11)에서 그것들을 전기적으로 접속시킨 구조로 되어 있다. 이것은, 공통버스라인(CB)의 저항을 감소시키고, 대향전압이 외부회로로부터 각 대향전압신호선(CL)으로 충분히 공급되도록 하기 위함이다. 본 구조에서는, 특히 새롭게 도전층을 부하하지 않고도 공통버스라인의 저항을 줄일 수 있는 것이 특징이다.

대향전극단자(CTM)는 도전층(g3)의 위에 투명도전층(11)이 적층된 구조로 되어 있다. 이 투명도전막(11)은 다른 단자 때와 마찬가지로 화소전극(PX)과 동일한 공정으로 형성된 투명도전막(ITO)을 이용하고 있다. 투명도전층(11)에 의해 그 표면을 보호하고, 전식(電食) 등을 방지하기 위해 내구성이 좋은 투명도전층(11)으로 도전층(g3)을 덮고 있다. 또한, 투명도전층(11)과 도전층(g3) 및 도전층(d3)과의 접속은 보호막(PSV1) 및 절연막(61)에 소르우홀을 형성하여 도통시키고 있다.

한편, 도 10은 대향전압신호선(CL)의 또다른 일면에서 그 외부접속단자(CTM2)까지의 접속을 나타내는 도이며, 도 10A는 그 평면을 나타내고 도 10B는 도 10A의 B-B절단선에 있어서의 단면을 나타낸다. 또한, 도 10은 도 5의 우측상단 부근에 대응한다. 여기서, 공통버스라인(CB2)에서는 각 대향전압신호선(CL)의 또다른 일단(게이트단자(OTM)측)에서 하나로 모아 대향전극단자(CTM2)로 끌어내진다. 공통버스라인(CB1)과 다른 점은, 주사신호선(6L)과는 절연되도록 도전층(d3)과 투명도전층(11)으로 형성되어 있다는 점이다. 또한, 주사신호선(6L)과의 절연은 절연막(61)으로 이루어지고 있다.

《표시장치전체 등가회로》

표시매트릭스부의 등가회로와 그 주변회로의 결선도를 도 11에 나타내었다. 도 11은 회로도이지만, 실제의 기하학적 배치에 대응하여 그려져 있다. AP는 복수의 화소를 2차원모양으로 배열한 매트릭스 어레이이다.

도에서, X는 영상신호선(DL)을 의미하고, 첨자 6, B 및 R이 각각 록, 청 및 적화소에 대응하여 부가되어 있다. Y는 주사신호선(6L)을 의미하고, 첨자 1, 2, 3, ..., end는 주사타이밍의 순서에 따라 부가되어 있다.

주사신호선(Y)(첨자생략)은 수직주사회로(Y)에 접속되어 있으며, 영상신호선(X)(첨자생략)은 영상신호구동회로(H)에 접속되어 있다.

SUP는 하나의 전압원에서 복수로 분압한 안정화된 전압원을 얻기 위한 전원회로 및 호스트(상위연산처리장치)로부터의 CRT(음극선관)용 정보를 TFT액정표시장치용 정보로 교환하는 회로를 포함하는 회로이다.

《구동방법》

도 12에 본 실시예의 액정표시장치의 구동파형을 나타내었다. 대향전압(Vch)은 일정전압으로 한다. 주사신호(Yg)는 1주사기간마다 온레벨을 취하고, 그 외에는 오프레벨을 취한다. 영상신호전압은 액정층에 인가하고 싶은 전압의 2배의 진폭에서 양극과 음극을 1프레임마다 반전시켜 하나의 화소에 전달하도록 인가한다. 여기서, 영상신호전압(Vd)은 1열마다 극성을 반전시키고, 1행마다에도 극성을 반전시킨다. 이로 인해, 극성이 반전된 화소가 상하좌우로 인접하는 구성이 되어, 플리커(flicker)나 크로스토크(좌우방향의 스미어)가 발생되기 어렵게 만들 수 있다. 또한, 대향전압(Vc)은 영상신호전압의 극성반전의 선택전압에서 일정량 내려간 전압으로 설정한다. 이것은, 박막트랜지스터소자가 온에서 오프로 바뀔 때에 발생하는 피이드쓰루오전압을 보정하는 것으로, 액정에 적류성분이 적은 교류전압을 인가하기 위해 실시한다(액정은 직류가 인가되면 잔상 및 열화 등이 심해지기 때문이다).

《축적용량(C stg)의 작용》

축적용량(C stg)은 화소에 기입된 (박막트랜지스터(TFT)가 오프된 후의) 영상정보를 오래동안 축적하기 위해 설치된다. 본 발명에서 이용되고 있는 전계를 기판면과 평행하게 인가하는 방식에서는, 전계를 기판면에 수직으로 인가하는 방식과는 달리, 화소전극과 대향전극으로 구성되는 용량(이른바 액정용량)이 거의 없기 때문에, 축적용량(C stg)이 영상정보를 화소에 축적할 수 없다. 따라서, 전계를 기판면과 평행하게 인가하는 방식에서는, 축적용량(C stg)은 필수적인 구성요소이다.

또한, 축적용량(C stg)은 박막트랜지스터(TFT)가 스위칭할 때, 화소전극전위 (Vs)에 대한

게이트전위변화(ΔV_g)의 영향을 감소시키도록 작용하기도 한다. 이를 식으로 나타내면 다음과 같다.

$$\Delta V_s = (C_{gs} / (C_{gs} + C_{stg} + C_{plx})) \times \Delta V_g$$

여기서, C_{gs} 는 박막트랜지스터(TFT)의 게이트전극(GT)과 소스전극(SOI)과의 사이에 형성되는 기생용량, C_{plx} 는 화소전극(PX)과 대향전극(CT)과의 사이에 형성되는 용량, ΔV_s 는 ΔV_g 에 의한 화소전극전위의 변화분, 이른바 피이드스루전압을 나타낸다. 이 변화분 ΔV_s 는 액정(LC)에 가해지는 직류성분의 원인이 되지만, 보지용량(C_{stg})을 크게하면 할수록 그 값을 작게할 수 있다. 액정(LC)에 인가되는 직류성분의 감소는 액정(LC)의 수명을 향상시키고, 액정표시화면의 결환시에 전에 있던 영상이 남는 이른바 스틱킹(sticking)을 감소시킬 수 있다.

상술한 바와 같이, 게이트전극(GT)은 I형 반도체층(AS)을 완전하게 덮도록 크게되어 있는 분만큼 소스전극(SOI), 드레인전극(SOI)과의 오버랩 면적이 늘어나며, 따라서 기생용량(C_{gs})이 커져 화소전극전위(V_s)는 게이트(주사)신호(V_g)의 영향을 받기쉬워진다는 역효과가 발생한다. 그러나, 축적용량(C_{stg})을 설치함으로써 이와 같은 불이익도 해소할 수 있다.

《제조방법》

다음으로, 상술한 액정표시장치의 기관(SUB1) 속의 제조방법에 대하여 도 13~도 15를 참조하여 설명하기로 한다. 또한, 상기 도에 있어서 중앙의 문자는 공정명의 약칭이며, 좌측은 도 3에 나타난 박막트랜지스터(TFT)부분, 우측은 도 7에 나타난 게이트단자 부근의 단면형상에서 본 가공의 흐름을 나타낸다. 공정B, 공정D를 제외한 공정A~공정F는 각 사진처리에 대응하여 구분된 것으로, 각 공정의 모든 단면도도 사진처리 후의 가공이 끝나고 포토레지스트를 제거한 단계를 나타내고 있다. 또한, 사진처리는, 본 발명에서는 포토레지스트의 도포에서부터 마스크를 사용한 선탠노광을 거쳐 그것을 현상하기까지의 일련의 작업을 나타내는 것으로 하고, 반복설명은 생략하였다. 이하, 구분된 공정에 따라 설명하기로 한다.

공정A, 도 13

AN635유리(상품명)로 이루어진 하부 투명유리기판(SUB1)상에 막두께가 2000Å인 Cr-Mo 등으로 이루어진 도전막(g3)을 스퍼터링에 의해 설치한다. 사진처리 후, 질산 제 2 세륨암몬으로 도전막(g3)을 선택적으로 에칭한다. 그렇게 함으로써, 게이트전극(GT), 주사신호선(IL), 대향전압신호선(CL), 게이트단자(GTM), 공통버스라인(CB1)의 제 1 도전층, 대향전극단자(CTM1)의 제 1 도전층, 게이트단자(GTM)를 접속하는 버스라인(SB1)(도시생략)을 형성한다.

공정B, 도 13

플라스마 CVD장치에 암모니아기체, 실란기체, 질소기체를 도입하여 막두께가 3500Å인 절화Si막을 설치하고, 플라스마 CVD장치에 실란기체, 수소기체를 도입하여 막두께가 1200Å인 I형 비정질Si막을 설치한 후, 플라스마 CVD장치에 수소기체, 포스핀가스를 도입하여 막두께가 300Å인 N(+)-형 비정질(SI)막을 설치한다.

공정C, 도 13

사진처리 후, 드라이에칭가스로서 SF_6 , CCl_4 를 사용하여 N(+)-형 비정질Si막, I형 비정질Si막을 선택적으로 에칭함으로써, I형 반도체층(AS)의 섬을 형성한다.

공정D, 도 14

막두께가 300Å인 Cr으로 이루어진 도전막(d3)을 스퍼터링에 의해 설치한다. 사진처리 후, 도전막(d3)을 공정A와 동일한 액으로 에칭하고, 영상신호선(IL), 소스전극(SOI), 드레인전극(SOI), 공통버스라인(CB2)의 제 1 도전층 및 드레인단자(DTM)를 단락하는 버스라인(SB1)(도시생략)을 형성한다. 다음으로, 드라이에칭장치에 CCl_4 , SF_6 를 도입하여 N(+)-형 비정질Si막을 에칭함으로써, 소스와 드레인간의 N(+)-형 반도체층(d0)을 선택적으로 제거한다. 도전막(d3)을 마스크패턴으로 패터닝한 후, 도전막(d3)을 마스크하여 N(+)-형 반도체층(d0)이 제거된다. 즉, I형 반도체층(AS) 상에 남아있던 N(+)-형 반도체층(d0)은 도전막(d1)과 도전막(d2) 이외의 부분이 선프열라인으로 제거된다. 이 때, N(+)-형 반도체층(d0)은 그 두께분은 모두 제거되도록 에칭되기 때문에 I형 반도체층(AS)도 약간 그 표면부분이 에칭되지만, 그 정도는 에칭시간으로 제어하면 된다.

공정E, 도 14

플라스마 CVD장치에 암모니아기체, 실란기체, 질소기체를 도입하여 막두께가 0.3 μm 인 절화Si막을 설치한다. 사진처리후, 드라이에칭가스로서 SF_6 를 사용하여 절화Si막을 선택적으로 에칭함으로써 보호막(PSV1)을 패터닝한다.

공정F, 도 15

감광성이 있는 유기막(PSV2)을 도포한 후, 포토마스크로 감광하고 패터닝한다. 그것을 마스크로 하여 절연막(61)을 공정E와 동일한 방법으로 드라이에칭한다. 따라서, 유기막(PSV2)과 절연막(61)은 동일한 포토마스크로 패터닝되어 일괄적으로 가공된다.

공정G, 도 15

막두께가 1400Å인 ITO막으로 이루어진 투명도전막(11)을 스퍼터링에 의해 설치한다. 사진처리후, 에칭액으로 염산과 질산을 섞은 혼합액으로 투명도전막(11)을 선택적으로 에칭함으로써, 게이트단자(GTM)의 최상층, 드레인단자(DTM) 및 대향전극단자(CTM1 및 CTM2)의 제 2 도전층을 형성한다.

《표시패널(PNL)과 구동회로기관(PCB1)》

도 16은 도 5 등에 나타난 표시패널(PNL)에 영상신호구동회로(H)와 수직주사회로(V)를 접속시킨 상태를

나타내는 상면도이다.

CH1은 표시패널(PNL)을 구동시키는 구동 IC칩(하측의 5개는 수직주사회로측의 구동 IC칩, 좌측의 10개씩은 영상신호구동회로측의 구동 IC칩(CH1)이 타이밍·오트메이팅·본딩법(TAB)에 의해 실장된 타이프캐리어 패키지, PCB1은 상기 TCP나 콘덴서 등이 실장된 구동회로기판으로, 영상신호구동회로용과 주사신호구동회로용의 2가지로 분할되어 있다. FGP는 프레임그라운드패드이며, 실드케이스(SHD)에 잘라끼여 설치된 스프링 모양의 파편이 뱉날된다. FC는 하측의 구동회로기판(PCB1)과 좌측의 구동회로기판(PCB1)을 전기적으로 접속시킨 플랫케이블이다. 플랫케이블(FC)로는, 도에 나타낸 바와 같이 복수의 리드선(인형등의 소재에 Sn 도금을 한 것)을 스트라이프모양의 폴리메탈렌층과 폴리비닐알콜층으로 샌드위치하여 지지한 것을 사용한 다.

《TCP의 접속구조》

도 17은 주사신호구동회로(Y) 및 영상신호구동회로(H)를 구성하는 집적회로칩(CH1)이 플렉시블배선기판에 탑재된 타이프캐리어 패키지(TCP)의 단면구조를 나타내는 도이며, 도 18은 그것을 액정표시패널의, 본 예에서는 주사신호회로용 단자(6TM)에 접속시킨 상태를 나타내는 요부단면도이다.

상기 도에 있어서, TT8는 집적회로(CH1)의 입력단자·배선부이며, TT4는 집적회로(CH1)의 출력단자·배선 부이고, 예를들어 8로 이루어지고 각각의 내측의 선단부(통칭 미너리드)에는 집적회로(CH1)의 본딩패드(PAD)가 이른바 페이스다운본딩법에 의해 접속된다. 단자(TT8, TT4)의 외측 선단부(통칭 아웃 리드)는 각각 반도체집적회로칩(CH1)의 입력 및 출력에 대응하여, 납땜 등에 의해 CRT/TF 변환회로·전환회로(SUP)에 이방성도전막(ACF)에 의해 액정표시패널(PNL)에 접속된다. 패키지(TCP)는 그 선단부가 패널(PNL) 측의 접속단자(6TM)를 노출시킨 보호막(PSV1)을 덮도록 패널에 접속되어 있으며, 따라서, 외부 접속단자(6TM)(OTM)는 보호막(PSV1)이나 패키지(TCP)의 적어도 한쪽에서 덮여지기 때문에 전기접촉에 대 해서 강해진다.

BF1은 폴리이미드 등으로 이루어진 베이스필름이며, SP8는 납땜할 때 땀납이 다른 부분에 붙지 않도록 마 스크하기 위한 솔더레지스트막이다. 실패턴(SL) 외측의 상하유리기판의 간격은 세정 후 에폭시수지(EPX) 등에 의해 보호되며, 패키지(TCP)와 상측기판(SUB2) 간에는 실리콘수지(SIL)가 더 충진되어 보호가 다중 화로 되어 있다.

《구동회로기판(PCB2)》

구동회로기판(PCB2)은 IC, 콘덴서, 저항 등의 전자부품이 탑재되어 있다. 이 구동회로기판(PCB2)에는 하 나의 전압원에서 복수로 분압된 안정화된 전압원을 얻기 위한 전압회로와, 호스트(상위연산처리장치)로부터 CRT(음극선관)을 정보를 TFT 액정표시장치를 정보로 교환하는 회로(SUP)가 탑재되어 있다. CJ는 외부와 접속되는 도시되지 않은 커넥터가 접속되는 커넥터접속부이다.

구동회로기판(PCB1)과 구동회로기판(PCB2)은 플랫케이블(FC)에 의해 전기적으로 접속되어 있다.

《액정표시모듈의 전체구성》

도 19는 액정표시모듈(MDL)의 각 구성부품을 나타내는 분해사시도이다.

SHD는 금속판으로 이루어진 물모양의 실드케이스(메탈프레임)이며, LCP는 그의 표시창, PNL은 액정표시패 널, SP8는 광확산판, LCB는 도광체, RM은 반사판, BL은 백라이트형광관, LCA는 백라이트케이스이며, 도에 나타낸 바와 같은 상하의 배치관계에서 각 부재가 적층되어 모듈(MDL)이 조립되어진다.

모듈(MDL)은 실드케이스(SHD)에 설치된 부품과 흑에 의해 전체가 고정되도록 되어 있다.

백라이트케이스(LCA)는 백라이트형광관(BL), 광확산판(SP8), 도광체(LCB), 반사판(RM)을 수납하는 형상으 로 되어 있으며, 도광체(LCB)의 측면에 배치된 백라이트형광관(BL)의 빛을 도광체(LCB), 반사판(RM), 광 확산판(SP8)에 의해 표시면에서 똑같이 백라이트로 하여 액정표시패널(PNL)측으로 출사한다.

백라이트형광관(BL)에는 인버터회로기판(PCB3)이 접속되어 있으며, 백라이트형광관(BL)의 전원으로 되어 있다. 이와 같이 구성된 액정표시소자의 효과는 이하의 3개 작용에서 발생된다.

< 작용 1 >

한쪽의 투명기관측에 형성되어 있는 영상신호선에 대하여, 평면적으로 보아 완전히 중첩된 상태에서 기준 전극이 유기절연막상에 형성되어 있음으로써, 영상신호선으로부터 발생하는 불필요한 전기력선의 거의 대 부분이 기준전극으로 중단한다. 따라서, 회전계를 이용하는 본 발명의 표시방식과 같은 표시방식에 있어 서, 특유의 누설전계에 의한 크로스토크가 해소된다. 이로 인해, 종래 크로스토크를 감소시키기 위해 영 상신호선의 양 옆, 또는 대향기관상에 배치되어 있던 실드전극으로부터 누설전계를 완전히 실드할 수 있 기 때문에, 화소의 수평방향을 표시용 전극과 기준전극 및 개구부로 점유할 수 있다. 또한, 영상신호선과 기준전극 간의 간격을 가릴 필요도 없어지므로 수직방향의 차광막(블랙매트릭스)도 없어진다. 이로 인해, 회전계를 이용하는 표시방식의 최대 결점인 저개구율을 근본적으로 개선할 수 있으며, 50%를 넘는 개구율 을 실현시킬 수 있다. 즉, 본 발명에서는 고개구율과 저스미어의 양립이 가능해진다.

< 작용 2 >

유기절연막은 무기절연막에 비해 그 비유전율이 약 절반(비유전율(ϵ_r)이 3 정도)정도이다. 또한, 유기막 은 무기막에 비해 두께를 두껍게 하기가 용이하기 때문에, 영상신호선과 기준전극간의 거리가 넓어진다. 이 영상신호선에 기준전극을 완전히 덮어씌워도 영상신호선과 기준전극간에 형성되는 용량을 매우 작게 할 수 있다. 따라서, 영상신호선에서 보았을 때의 부하가 가벼워지기 때문에 영상신호의 배선전달지연이 작아져 신호전달을 충분히 표시전극에 충전시킬 수 있으며, 또한 영상신호선을 구동하기 위한 구동회로의 축소가 가능해진다.

< 작용 3 >

유기막은 평탄성이 매우 좋기 때문에 유기막을 능동소자를 형성하는 기판의 최상층에 도포함으로써 유기막을 능동소자를 형성하는 기판의 평탄도를 향상시킬 수 있다. 이로 인해, 기판간의 갭의 불규칙성에 의한 휘도(투과율)-전압특성의 불균일성을 없앨 수 있어 휘도의 균일성을 향상시킬 수 있다.

이상 설명한 바에서 알 수 있듯이, 본 실시예의 액정표시장치에서는 필적방향을 이용한 초광시각의 액정표시장치에 있어서, 본질적인 문제인 이른바 세로스미어를 억제하는 것이 소비전력의 절감 및 주변회로규모의 축소를 동시에 꾀할 수 있다. 또한, 휘도의 균일성도 개선할 수 있다.

실시예 2

본 실시예는 하기의 요건을 제외하면 실시예 1과 동일하다. 도 20에 화소의 평면도를 나타내고, 도 21에 빛샘형 전극부의 단면도를 나타낸다.

《화소전극(PX)》

본 실시예에서는, 화소전극(PX)은 소스전극(S01), 드레인전극(S02)과 동일층인 도전막(d3)으로 구성되어 있다. 또한, 화소전극(PX)은 소스전극(S01)과 일체로 형성되어 있다.

본 실시예에서는, 실시예 1의 효과뿐만 아니라, 투과율은 희생이 되지만 화소전극(PX)과의 콘택트불량을 극복할 수 있다. 또한, 화소전극(PX)이 절연막(보호막(PSV1))으로 덮여있기 때문에, 배향막결합이 있는 경우에 액정에 적류전류가 흐를 가능성이 줄며, 액정열화 등이 없어져 실시예 1에 비해 더욱 신뢰성이 향상된다.

실시예 3

본 실시예는 하기의 요건을 제외하면 실시예 1과 동일하다. 도 22에 본 실시예의 화소의 단면도를 나타낸다.

《보호막(PSV1), 유기보호막(PSV2)》

본 실시예에서는, 보호막(PSV1)과 유기막(PSV2)은 외부접속단자(OTM, 6TM)가 노출되도록 보호막(PSV1), 유기막(PSV2)을 일괄적으로 제거한다. 따라서, 실시예 1과는 달리, 화소의 거의 대부분에 보호막(PSV1)이 형성된다. 또한, 화소부에서는 대향전압선(OL)과 후술하는 대향전극(CT)과의 전기적접촉, 및 소스전극(S02)과 화소전극(PX)의 전기적 접속을 위한 쓰루홀(TH2 및 TH1)에서는, 쓰루홀(TH2)은 유기막(PSV2), 보호막(PSV1) 및 절연막(BI)이 일괄적으로 가공되어 g3층 까지 구멍이 뚫리고, 쓰루홀(TH1)에서는 유기막(PSV2) 및 보호막(PSV1)이 일괄적으로 가공되어 d3에서 절로킹되기 때문에 d3층까지 구멍이 뚫린다.

본 실시예에서는 유기막(PSV2)은 레지스트재가 이용되고 있기 때문에, 우선 포토리소그래피로 레지스트재를 감광하고, 쓰루홀부부의 레지스트재를 제거하여 레지스트재의 패턴을 형성한다. 이 레지스트재의 패턴을 마스크로 하여, 보호막(PSV1) 및 절연막(BI)을 일괄적으로 에칭하여 보호막(PSV1) 및 절연막(BI)의 패턴을 형성한다. 이 공정은 실시예 1의 TFT를 형성하기 위해 이용되고 있는 것과 동일하다. 여기서, 통상적으로는 이 레지스트재를 제거해 버리지만, 본 발명에서는 이 레지스트재를 그대로 남겨서 유기보호막(PSV2)으로서 사용한다.

또한, 본 실시예에서는 보호막(PSV1)을 0.1 μ m의 박막으로 함으로써, 보호막(PSV1)의 에칭시간이 길어지는 것을 막아 쓰루홀을 향상시키고 있다. 보호막(PSV1)은 박막트랜지스터소자(TFT)의 액체날부의 보호, 즉 박막트랜지스터의 일계압(V_{th})을 안정시키기 위한이며, 0.05~0.3 μ m정도로 충분하다.

이로 인해, 실시예 1에서는 유기보호막(PSV2), 보호막(PSV1) 및 절연막(BI)을 각각 별개의 포토마스크를 이용하여 별개의 포토리소그래피공정으로 제작하였는데, 본 실시예에서는, 그것들을 하나의 마스크에 의해 일괄적으로 가공할 수 있기 때문에, 실시예 1에 비해 TFT기판을 제작하기 위한 쓰루홀이 크게 향상되고, 그 결과 양산성이 매우 향상된다.

또한, 유기보호막(PSV2)과 절연막(BI)을 일괄적으로 가공하는 경우나, 유기보호막(PSV2)과 보호막(PSV1)을 일괄적으로 가공하는 경우에도 본 실시예와 마찬가지로 할 수 있으며 본 발명의 범주에 포함된다.

따라서, 본 실시예에서는 실시예 1의 효과뿐만 아니라 양산성이 크게 향상된다.

실시예 4

본 실시예는 이하를 제외하고는 실시예 1과 동일하다.

《메트릭스부(화소부)의 평면구성》

도 23은 본 실시예의 액티브메트릭스방식 칼라액정표시장치의 한 화소와 그의 주변을 나타내는 평면도이다.

《차광막(BM)》

본 실시예에서는, 화소패턴의 수평방향에만 스트라이프모양의 차광막(BM)을 형성한다. 이로 인해, 칼라필터기판과 TFT기판이 잘 맞지 않아 생기는 개구율의 저하가 해소된다. 화소패턴의 수직방향 차광막의 패턴이 수평방향으로 기울어진 경우, 개구율이 크게 저하된다. 본 실시예에서는 수직방향의 차광막의 패턴을 없앴으로써, 상기와 같이 두 기판이 잘 맞지 않게 된 경우라도 개구율이 거의 변하지 않게 하였다. 이것은, 대향전극(CT)을 완전히 영상선호선(OL)에 덮어씌움으로써, 액정층에서 보았을 때, 화소의 수평방향에는 화소전극과 대향전극의 반복패턴 이외에는 아무것도 존재하지 않기 때문에 가능하게 된다.

따라서, 본 실시예에서는 수평방향에만 스트라이프모양의 차광막(BM)을 설치하여 TFT상 및 대향전극과 주사선호선 간의 빛이 새는 부분만을 차광하면 된다. 따라서, 본 실시예에서는 실시예 1의 효과뿐만 아니라, 나이가 개구율을 크게 향상시켜 휘도를 향상시킬 수 있다.

실시예 5

본 실시예는 하기의 요건을 제외하면, 실시예 2와 동일하다. 도 24에 화소의 평면도를 나타내고, 도 25에 빗살형 전극부의 단면도를 나타낸다.

《대향전극(CT)》

본 실시예에서는, 대향전극(CT)과 주사신호선(6L), 게이트전극(6T), 대향전극신호선(CL)과 동일층인 도전막(g3)으로 구성되어 있는 대향전극신호선(CL)으로부터 돌기된 부분과, 실시예 2와 마찬가지로 보호막(PSV2) 상에 도전막(11)으로 구성된 부분이 있다. 또한, 도전막(g3)으로 구성되어 있는 대향전극신호선(CL)으로부터 돌기된 부분과 보호막(PSV2) 상에, 도전막(11)으로 구성된 부분에 스크우홀을 뚫어 전기적으로 접속되어 있으며, 영상신호선을 싸듯이 구성되어 있다.

이로 인해, 본 실시예에서는 실시예 1 및 실시예 2로부터 횡전계방식 특유의 누설전계를 줄일 수 있어 크로스토크가 해소된다.

이상의 설명에서 명확히 알 수 있듯이, 본 실시예의 액정표시장치에서는, 횡전계방식을 이용한 초광시야각의 액정표시장치에 있어서 본질적인 문제인 이른바 세로스머어를 억제함으로써 휘도향상, 소비전력의 절감, 주변회로규모의 축소 및 휘도의 균일성향상을 동시에 꾀할 수 있다.

산인상이동가능성

본 발명은 액정표시장치에 관한 것으로, 특히 박막트랜지스터소자를 가지는 고화질의 액티브 매트릭스형 액정표시장치에 관한 것으로, 브라운관과 같은 광시야각을 실현시킬 수 있음과 동시에 고휘도, 고화질, 저소비전력의 효과를 가지며, 또한 틸간의 간격이 좁은 액정표시장치를 제공한다.

(57) 청구의 범위

청구항 1. 한쌍의 기판과,

상기 한쌍의 기판에 형성된 액정조성물층을 가지며,

상기 한쌍의 기판의 한쪽에는 복수의 영상신호선과 복수의 주사전극과,

상기 영상신호선과 상기 주사신호선에 접속된 복수의 박막트랜지스터와,

상기 복수의 박막트랜지스터소자에 접속된 복수의 화소전극을 가지는 액티브 매트릭스형 액정표시장치에 있어서,

상기 대향전극은 상기 한쌍의 기판의 한쪽에 형성되며,

상기 영상신호선상에는 비(比)유전율이 5 이하인 절연막이 형성되며,

상기 절연막상에 상기 영상신호선의 적어도 일부를 피복하도록 상기 대향전극이 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 2. 한쌍의 기판과,

상기 한쌍의 기판에 형성된 액정조성물층을 가지며,

상기 한쌍의 기판의 한쪽에는 복수의 영상신호선과 복수의 주사전극과,

상기 영상신호선과 상기 주사신호선에 접속된 복수의 박막트랜지스터와,

상기 복수의 박막트랜지스터소자에 접속된 복수의 화소전극을 가지는 액티브 매트릭스형 액정표시장치에 있어서,

상기 화소전극과 상기 대향전극은 상기 한쌍의 기판면에 거의 평행한 전계를 발생하도록 형성되며,

상기 영상신호선상에는 비유전율이 5 이하인 절연막이 형성되며,

상기 절연막상에 상기 영상신호선의 적어도 일부를 피복하도록 상기 대향전극이 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 3. 한쌍의 기판과,

상기 한쌍의 기판에 형성된 액정조성물층을 가지며,

상기 한쌍의 기판의 한쪽에는 복수의 영상신호선과 복수의 주사전극과,

상기 영상신호선과 상기 주사신호선에 접속된 복수의 박막트랜지스터와,

상기 복수의 박막트랜지스터소자에 접속된 복수의 화소전극을 가지는 액티브 매트릭스형 액정표시장치에 있어서,

상기 대향전극은 상기 한쌍의 기판의 한쪽에 형성되며,

상기 영상신호선상에는 유기절연막이 형성되며,

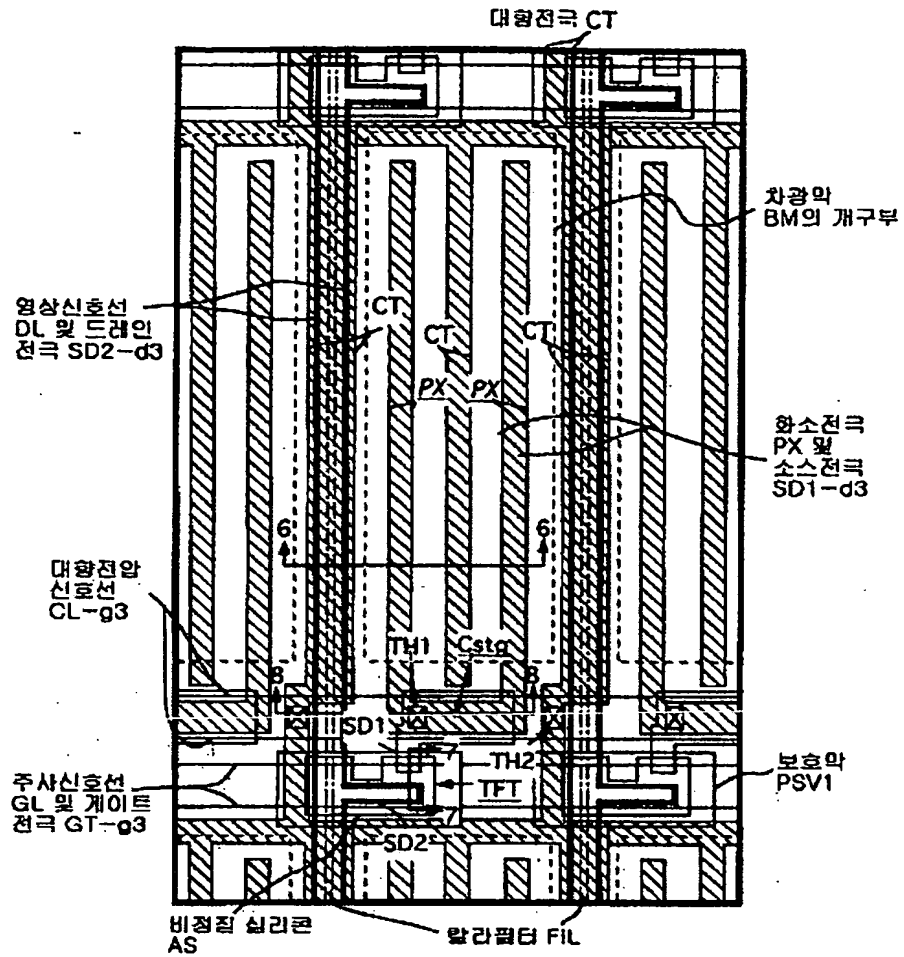
상기 절연막상에 상기 영상신호선의 적어도 일부를 피복하도록 상기 대향전극이 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 4. 한쌍의 기판과,

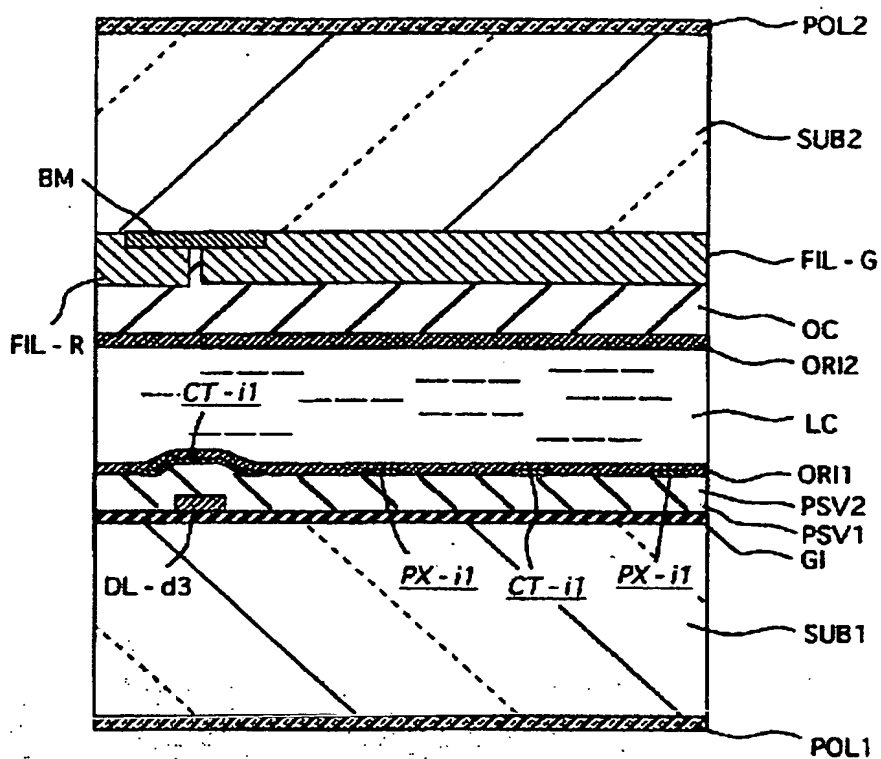
- 상기 한쌍의 기관에 협지된 액정조성물층을 가지며,
 상기 한쌍의 기관의 한쪽에는 복수의 영상신호선과 복수의 주사전극과,
 상기 영상신호선과 상기 주사신호선에 접속된 복수의 박막트랜지스터와,
 상기 복수의 박막트랜지스터소자에 접속된 복수의 화소전극을 가지는 액티브매트릭스형 액정표시장치에 있어서,
 상기 화소전극과 상기 대향전극은 상기 한쌍의 기관면에 거의 평행한 전계를 발생하도록 형성되며,
 상기 영상신호선상에는 유기절연막이 형성되며,
 상기 절연막상에 상기 영상신호선의 적어도 일부를 피복하도록 상기 대향전극이 형성되어 있는 것을 특징으로 하는 액티브매트릭스형 액정표시장치.
- 청구항 5. 청구항 1, 2, 3 또는 4에 있어서,
 상기 화소전극이 상기 절연막상에 형성되어 있는 것을 특징으로 하는 액티브매트릭스형 액정표시장치.
- 청구항 6. 청구항 1, 2, 3 또는 4에 있어서,
 상기 절연막과 적어도 상기 박막트랜지스터소자의 게이트절연막 또는 보호막 중 어느 한쪽이 동일패턴으로 형성되어 있는 것을 특징으로 하는 액티브매트릭스형 액정표시장치.
- 청구항 7. 청구항 1, 2, 3, 4, 5 또는 6에 있어서,
 차광막이 상기 주사신호선의 연장방향과 동일방향으로 연장배치된 스트라이프모양으로 형성되어 있는 것을 특징으로 하는 액티브매트릭스형 액정표시장치.
- 청구항 8. 청구항 1, 2, 3, 4, 5 또는 6에 있어서,
 상기 절연막의 막두께가 $1\mu\text{m}$ 이상 $3\mu\text{m}$ 이하인 것을 특징으로 하는 액티브매트릭스형 액정표시장치.
- 청구항 9. 청구항 1, 2, 3, 4, 5 또는 6항에 있어서,
 상기 박막트랜지스터소자를 보호하는 무기절연막의 막두께가 $0.05\mu\text{m}$ 이상 $0.3\mu\text{m}$ 이하인 것을 특징으로 하는 액티브매트릭스형 액정표시장치.
- 청구항 10. 청구항 1, 2, 3, 4, 5 또는 6에 있어서,
 상기 절연막은 감광성수지인 것을 특징으로 하는 액티브매트릭스형 액정표시장치.

도면

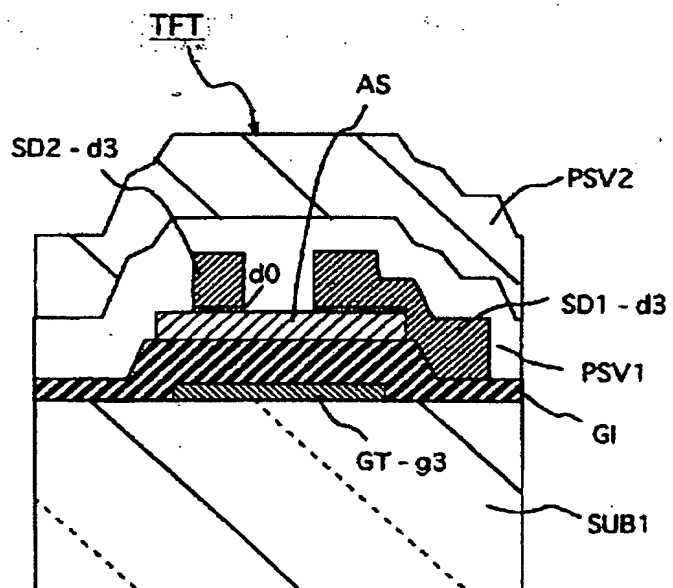
도면1



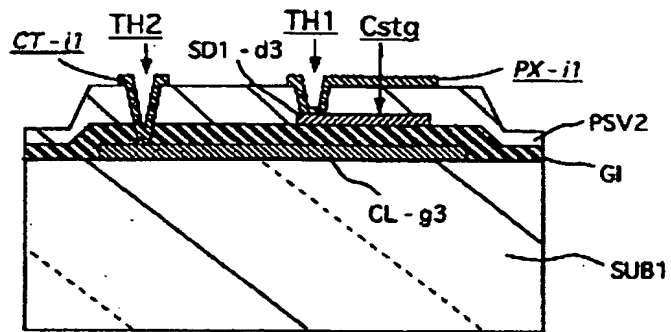
EP2



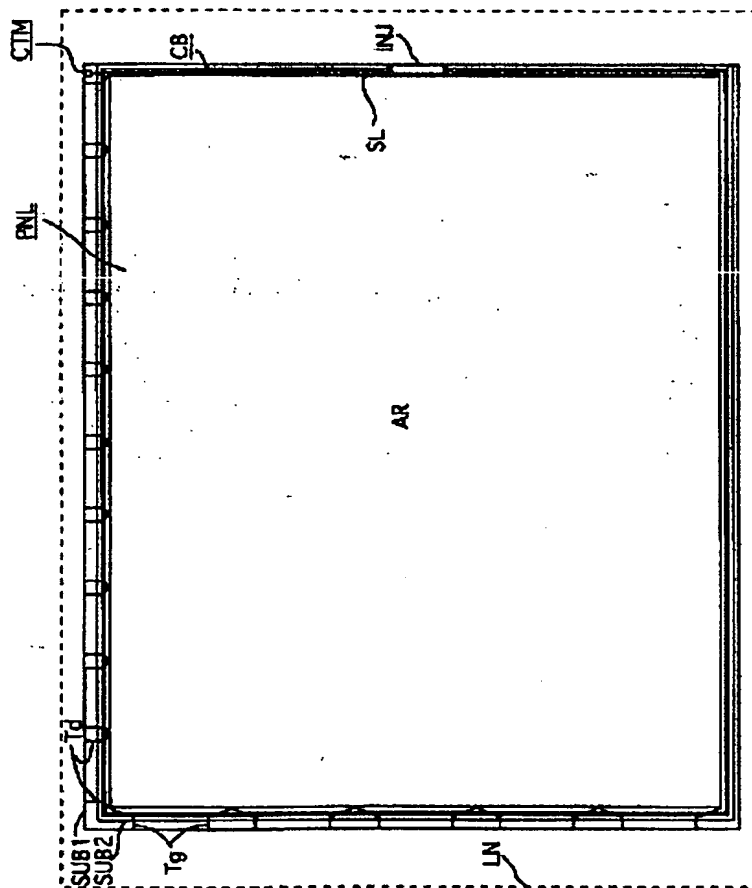
EP3



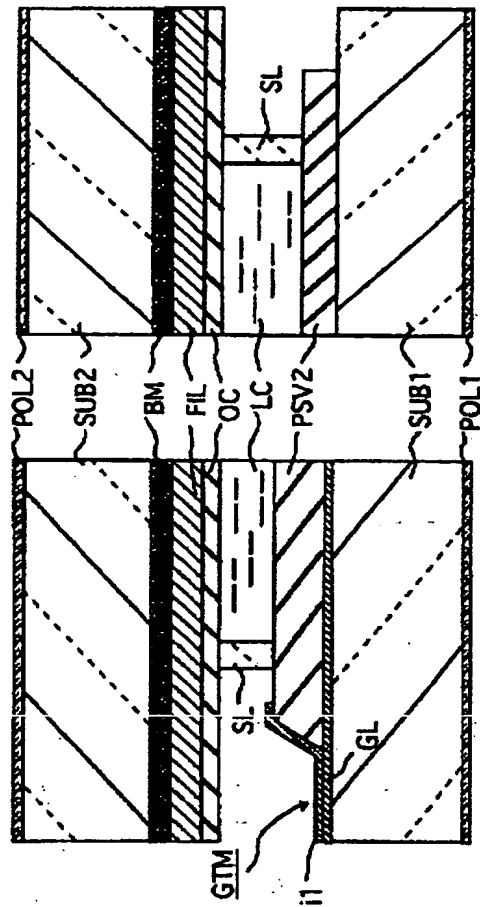
도 24

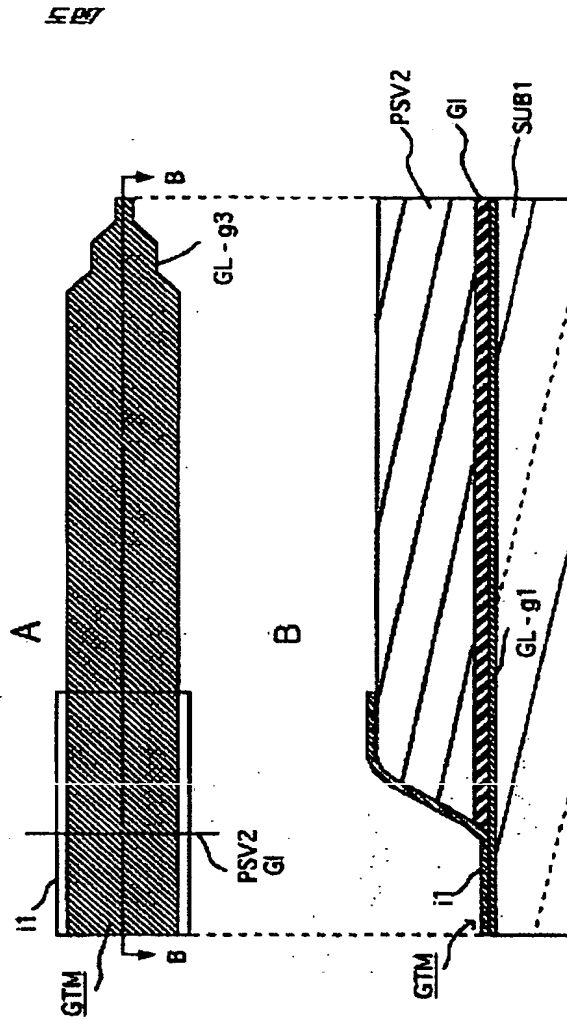


도 25

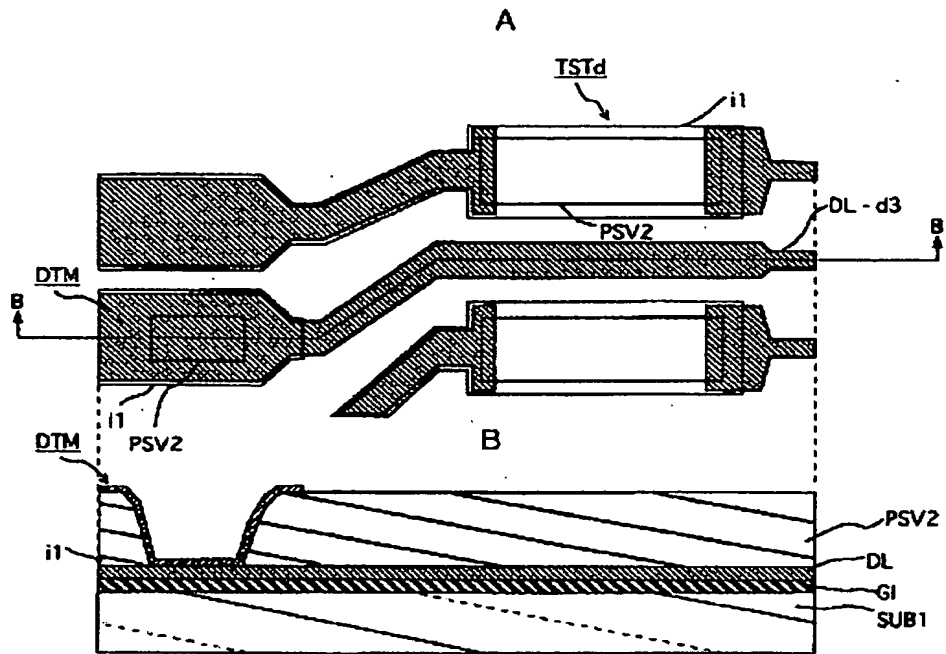


도 10

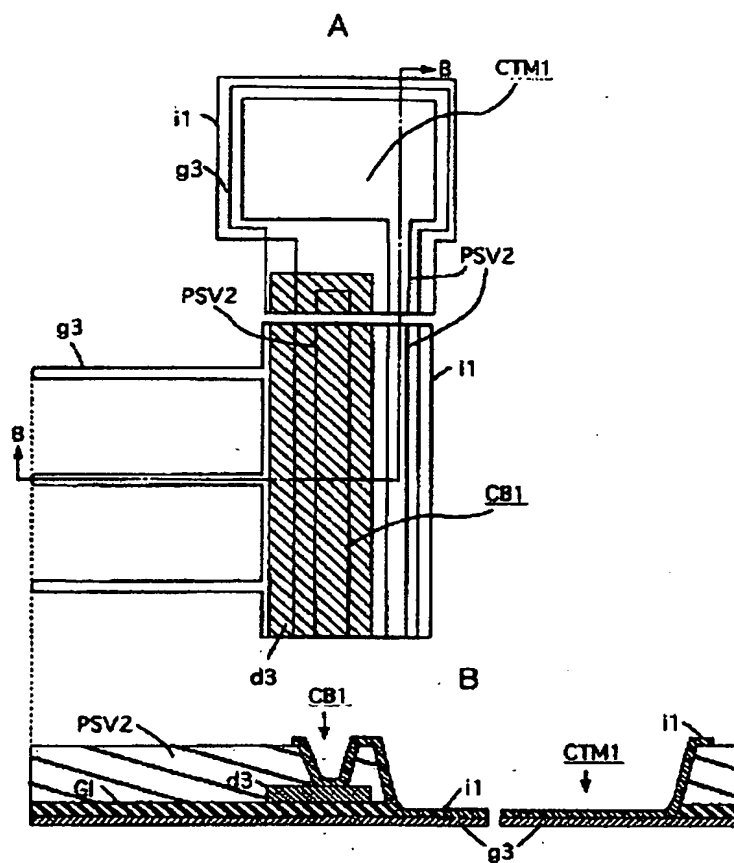




도 28



도 29



5B10

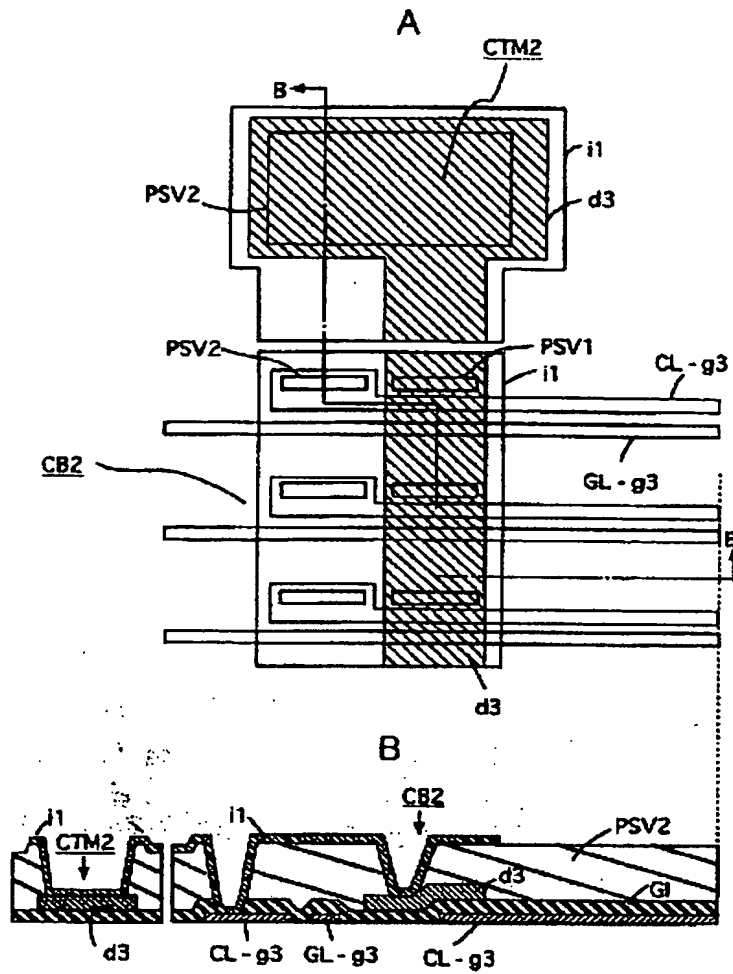
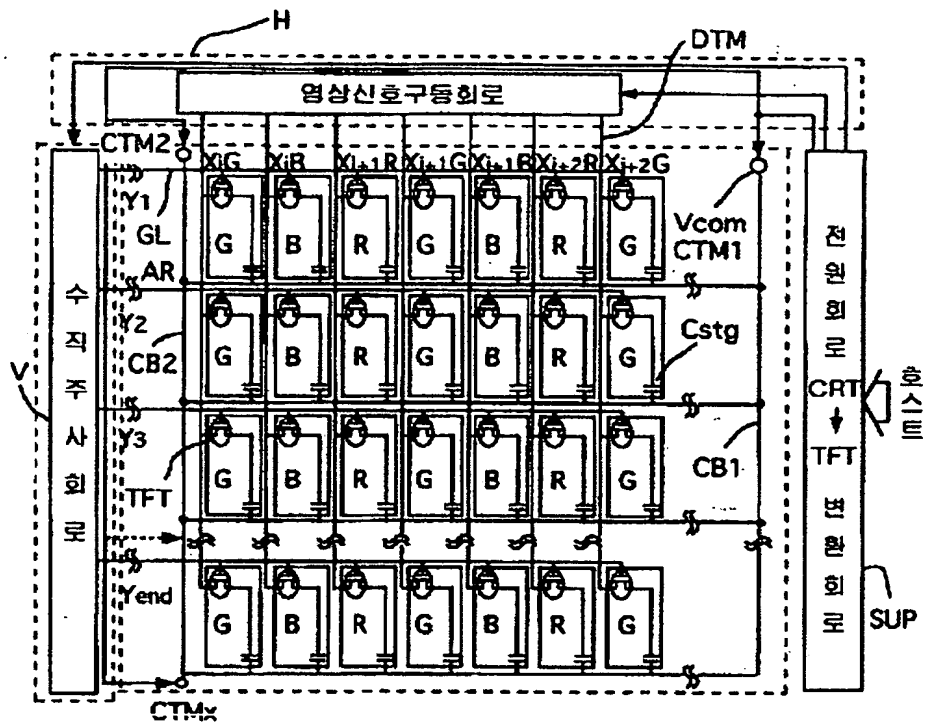
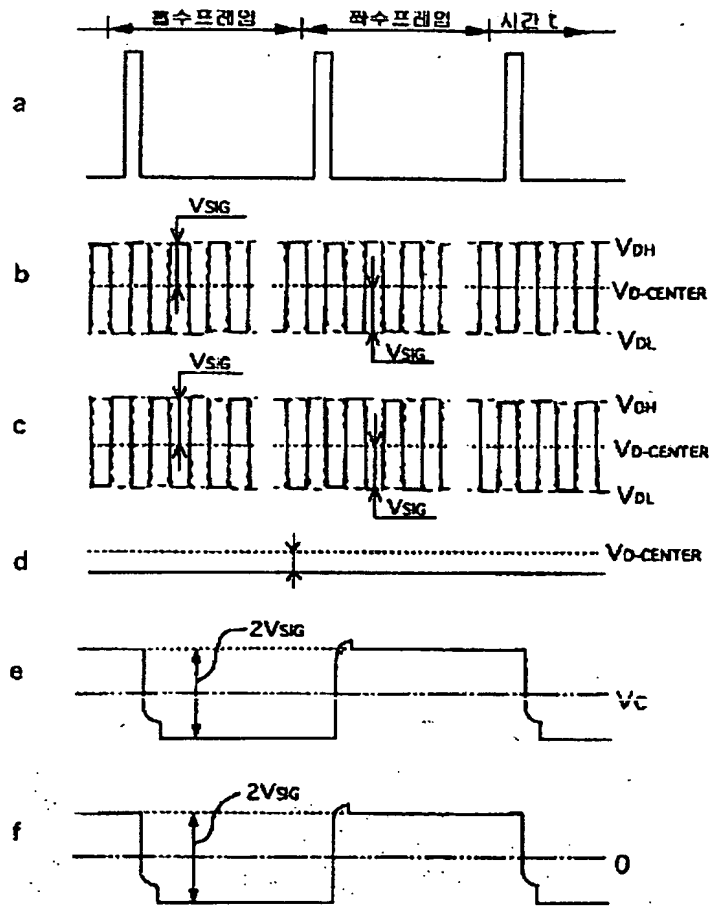
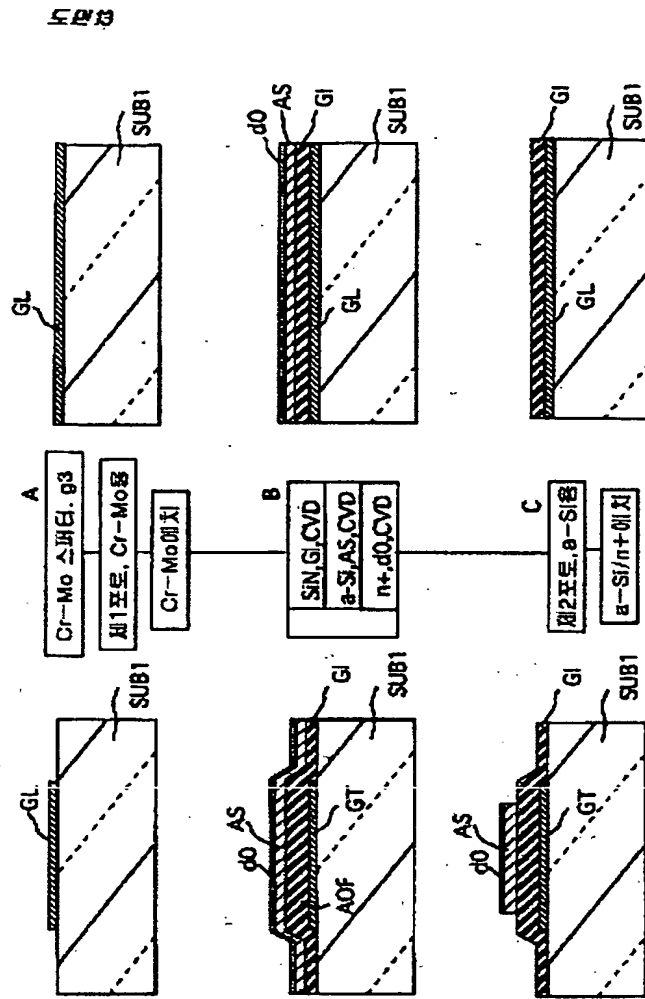


도표 11

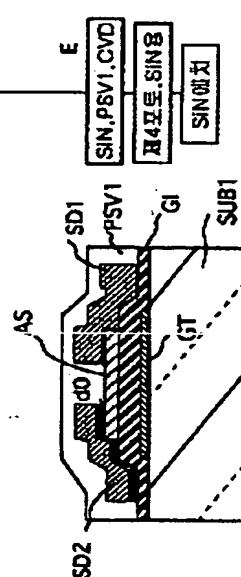
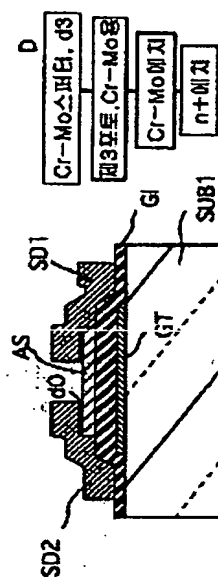
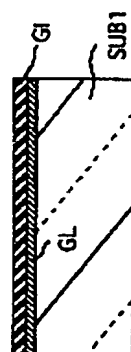
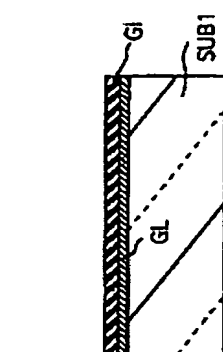


도면 2

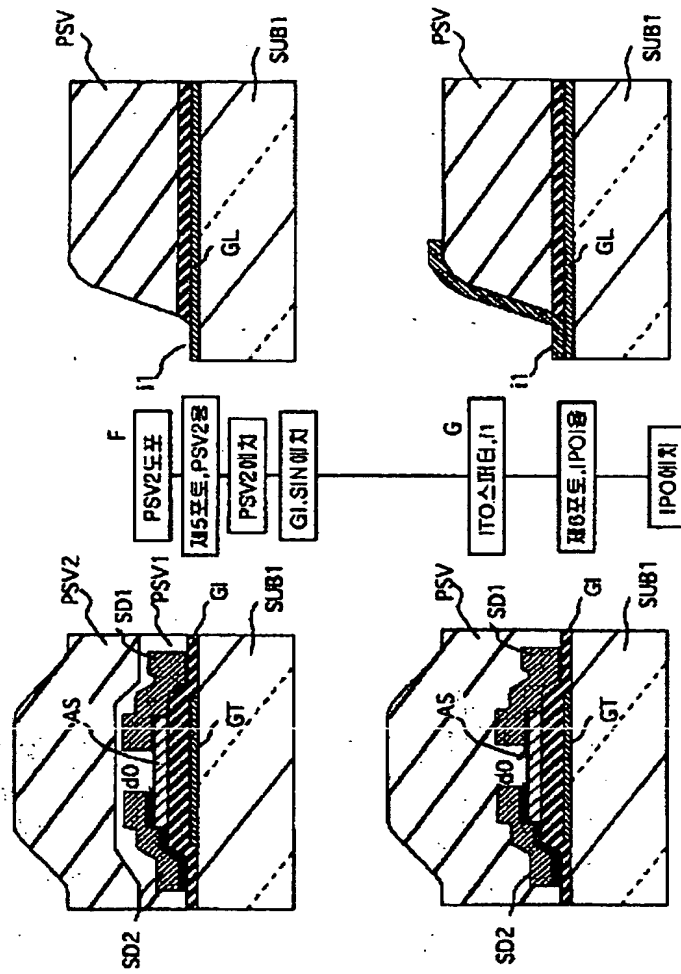




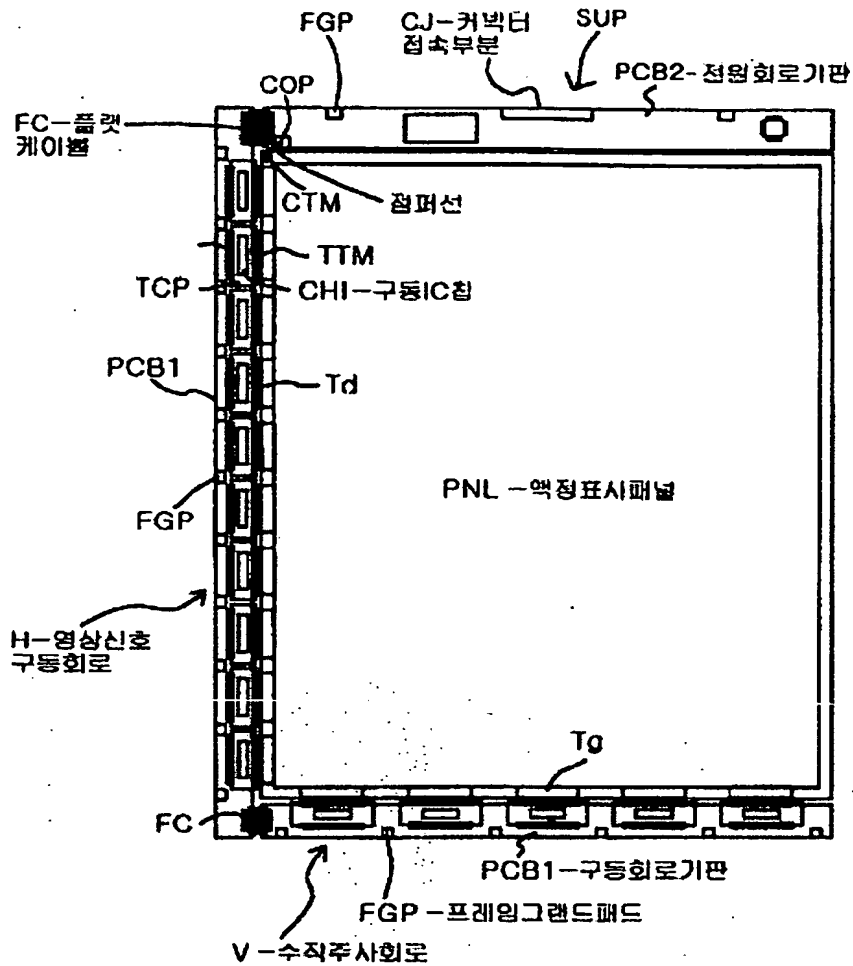
5PM



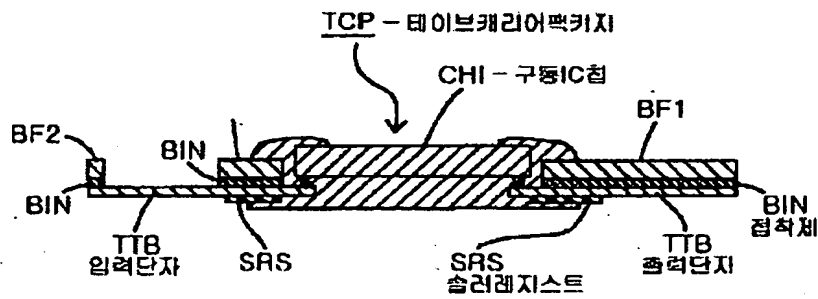
도 15



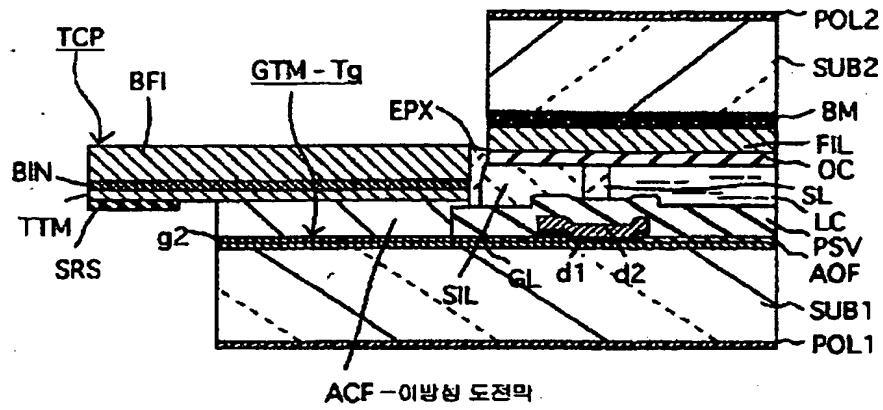
도면 3



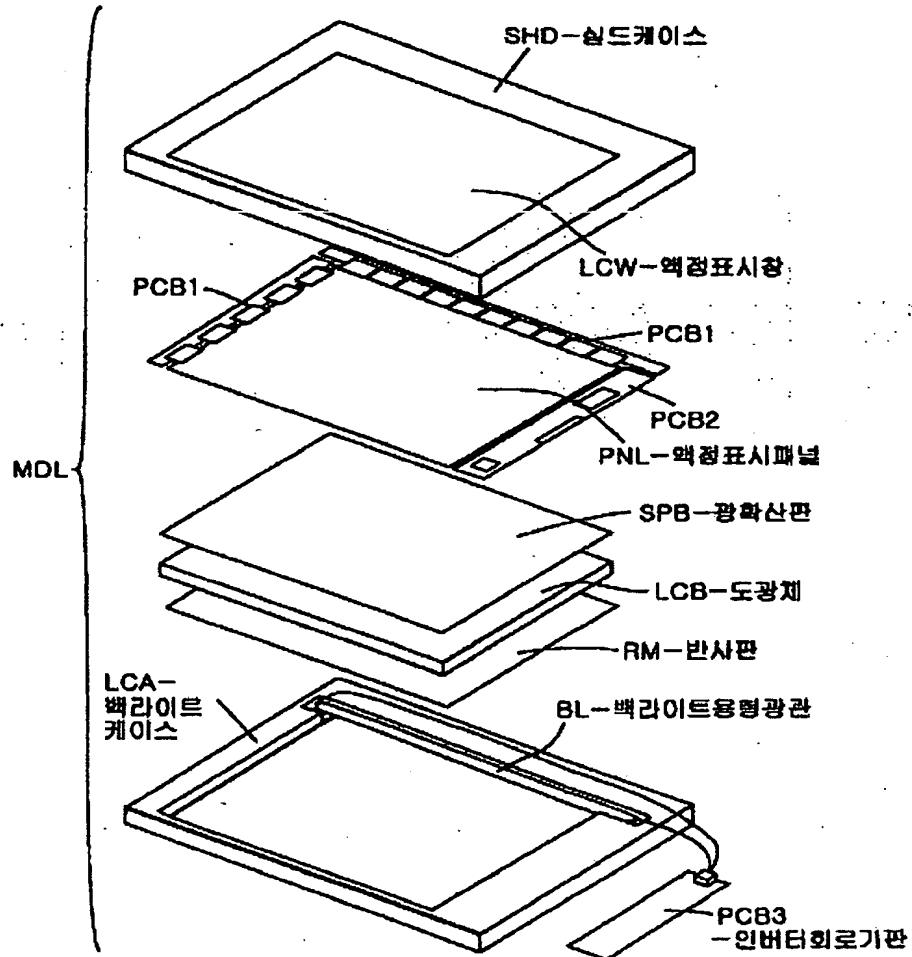
도면 4



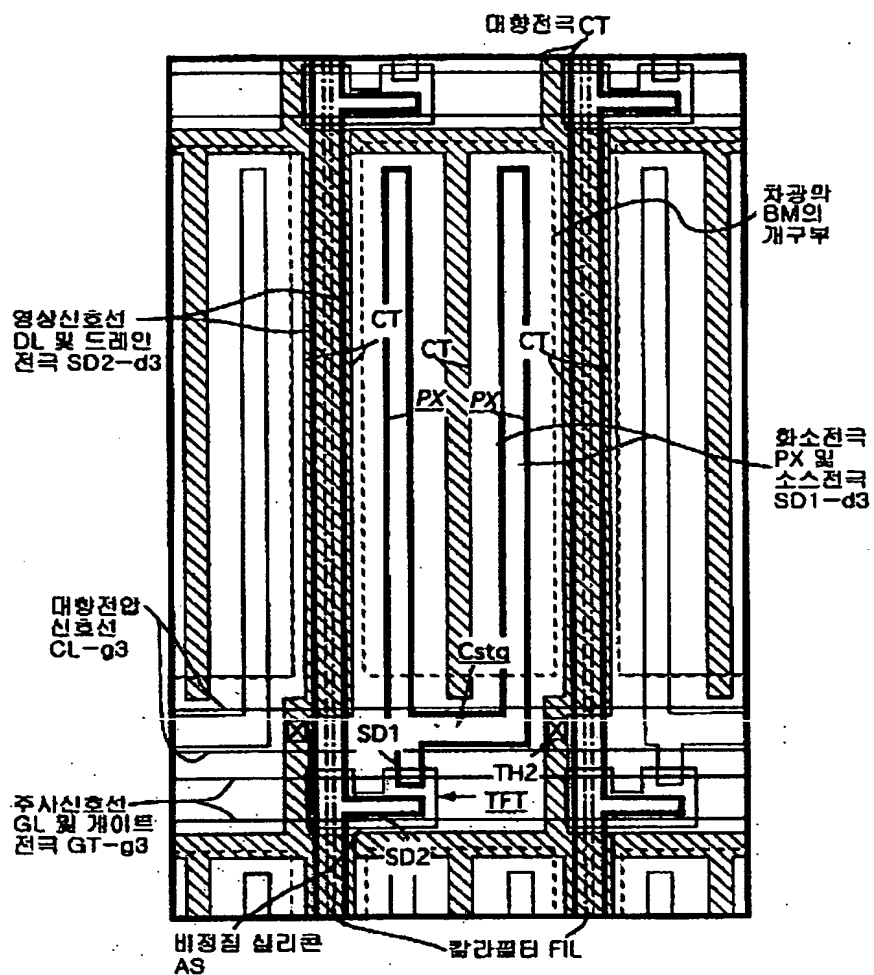
도면 18



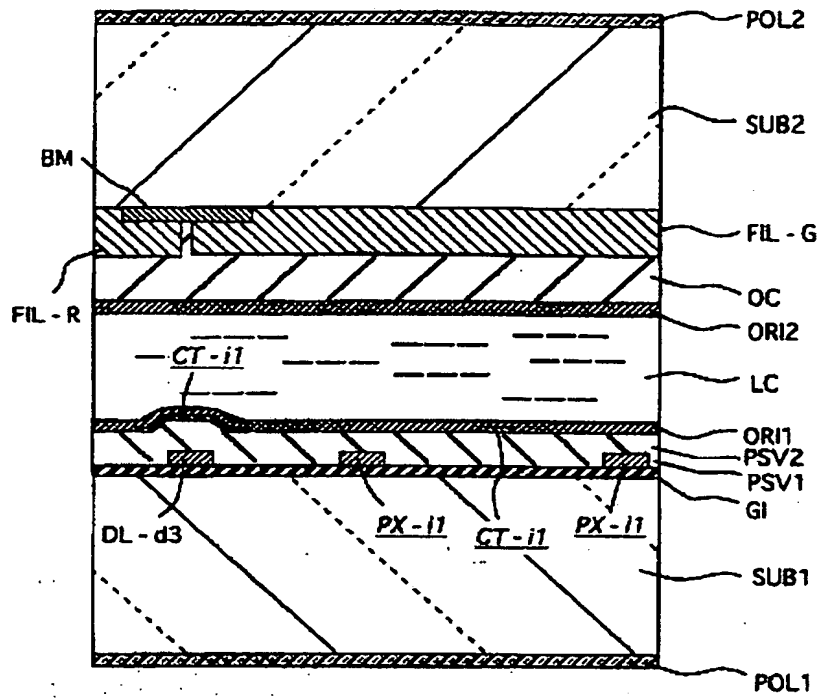
도면 19



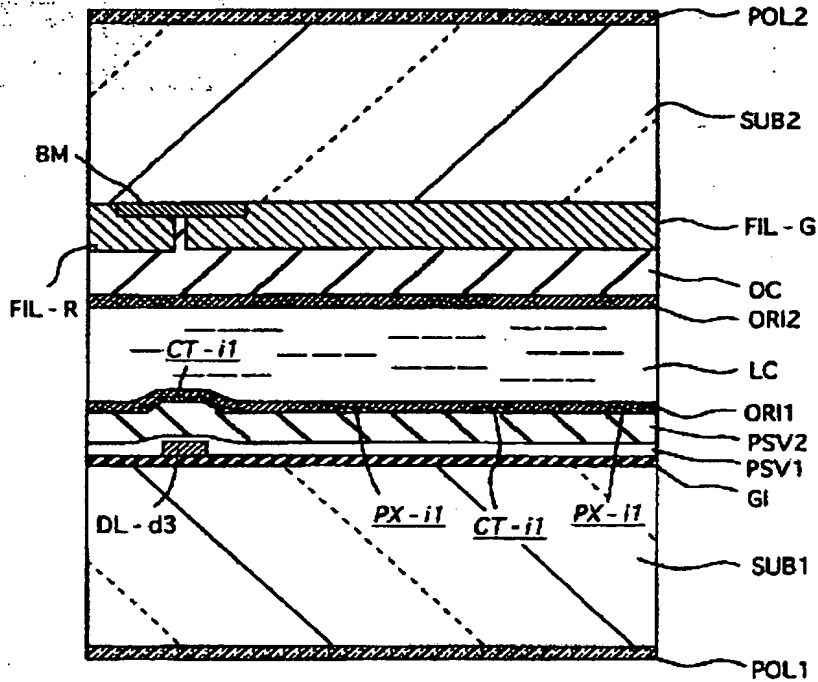
도 20



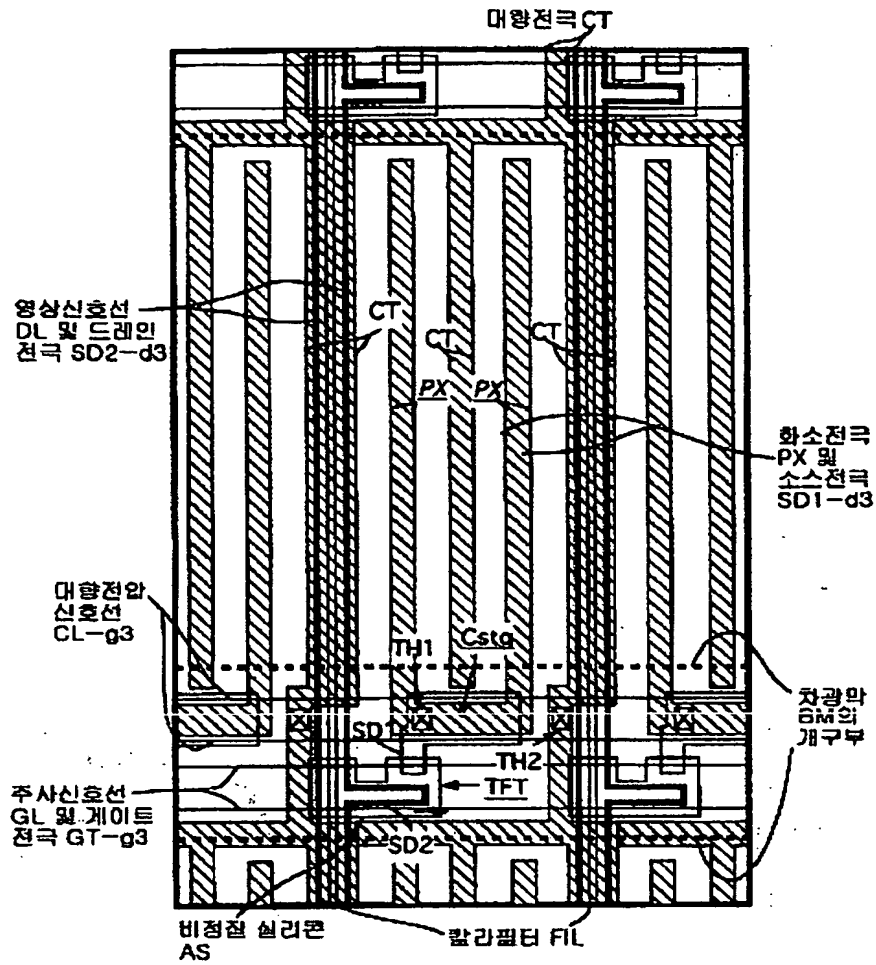
도 21



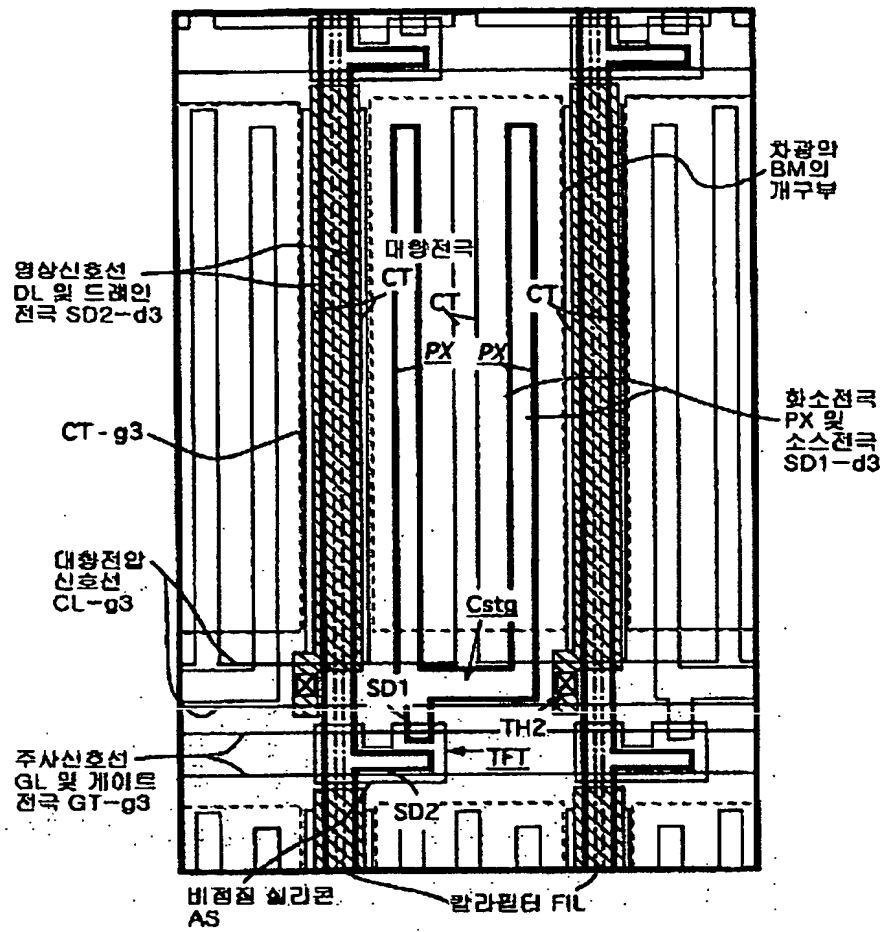
도 22



도 23



도면 28



도 25

